

論理LSIの自己テストにおける 低消費電力化技術

九州工業大学 情報工学研究院
情報・通信工学研究系
教授 梶原 誠司

令和2年12月22日



論理BIST (Built-In Self Test:組込自己検査)

- LSIテストが持つ機能をチップ内に実装

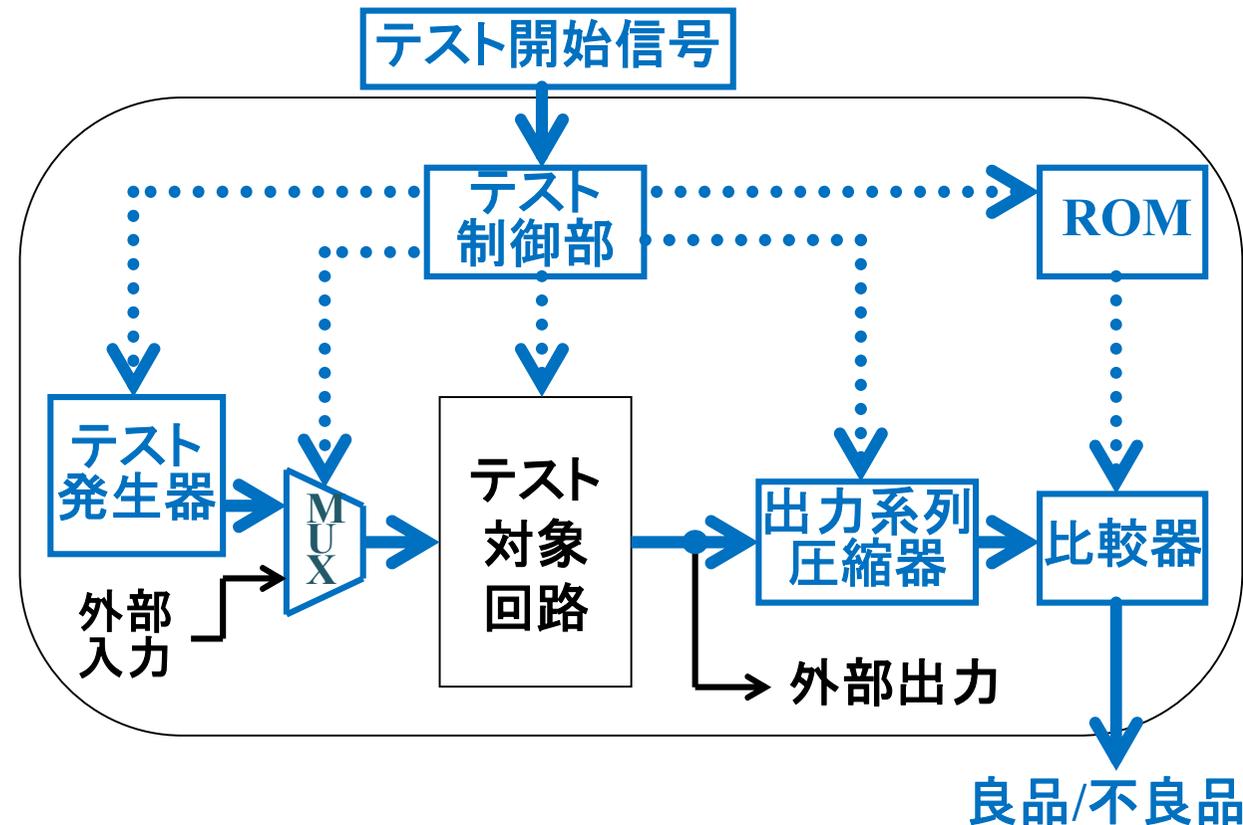
- テストパターン発生器
疑似ランダムパターンを回路(LFSR)で発生
- 出力判定部
出力系列を圧縮し正常値と比較する

- BISTの利点

- ボード上でもテスト可能
- テストコスト(特にLSIテスターのコスト)削減, 実動作速度でテストが容易

- 論理回路向けBISTの問題点

- チップ面積の増加および回路性能の低下
- テスト出力系列の圧縮による故障診断・解析の複雑化
- テスト時消費電力の増大(特にスキャンテスト時)
- 疑似ランダムパターンによる不十分な故障検出率



論理BISTの消費電力問題

- テスト動作時には**通常動作の数倍の消費電力**

- 通常動作では使わないパターンでのテストが問題

- 信号値変化(トグル率) \propto 回路の消費電力

電力式

$$\sum_j \frac{1}{2} C_L(j) \times V_{dd}^2 \times f_p(j)$$

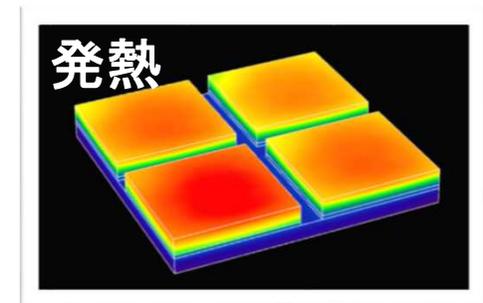
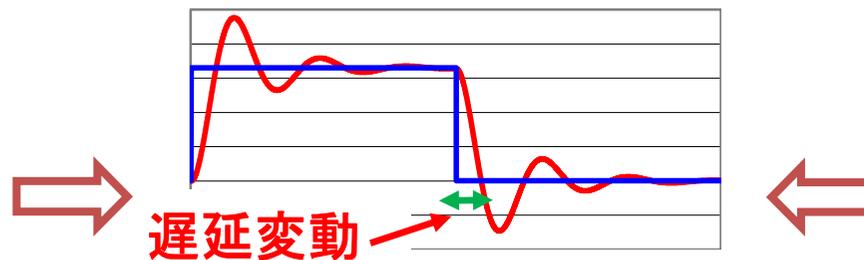
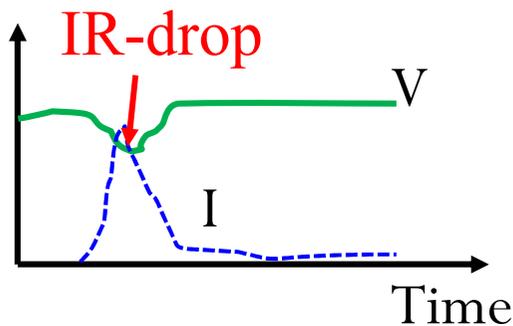
- 通常動作時: 5~20%のトグル率, BISTによるテスト時: 約50%のトグル率

- 過剰な消費電力による信号の遅延変動→テスト結果の誤診断

- IR-drop(電圧降下)、発熱などが問題

- 良品を不良と判断→歩留まり低下

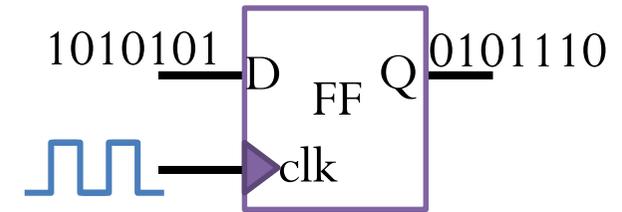
- 不良品を良品と判断→テスト品質の低下



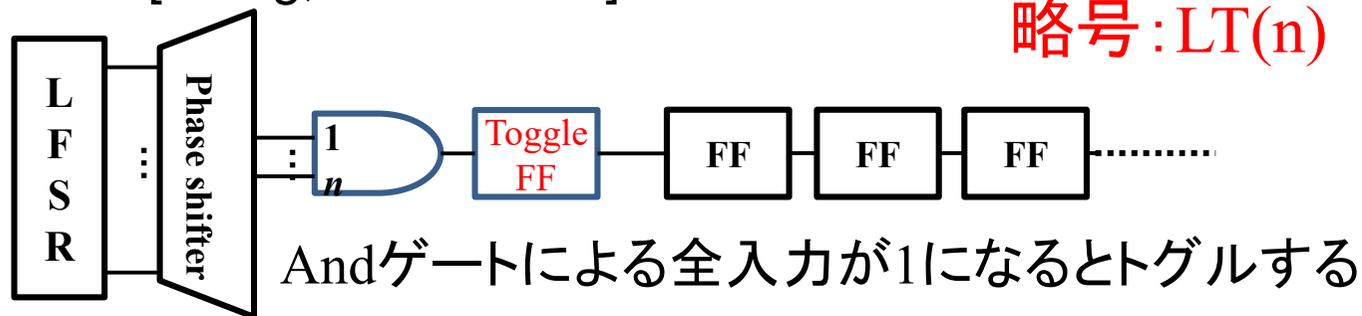
提案技術: テスト時の消費電力に起因する誤テストを防止

入力パターンによる従来技術(1/2)

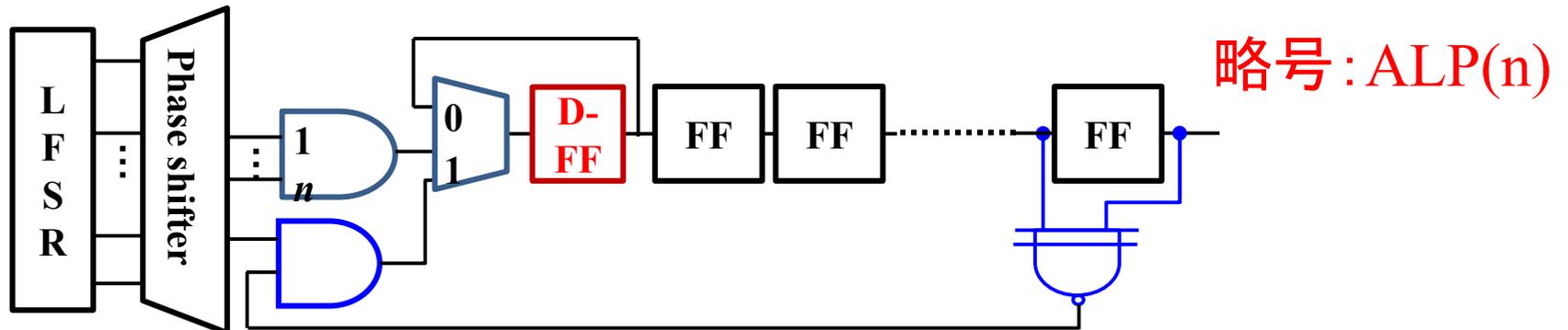
- LFSRで生成する擬似乱数パターンが多いのトグル
 - ランダム性があり、故障検出率が高い
 - 値が頻繁にトグルする→高い消費電力



- 入力パターンのトグル率を低減させ、電力低減
 - LT-RTPG[Wang, et al. ITC99]

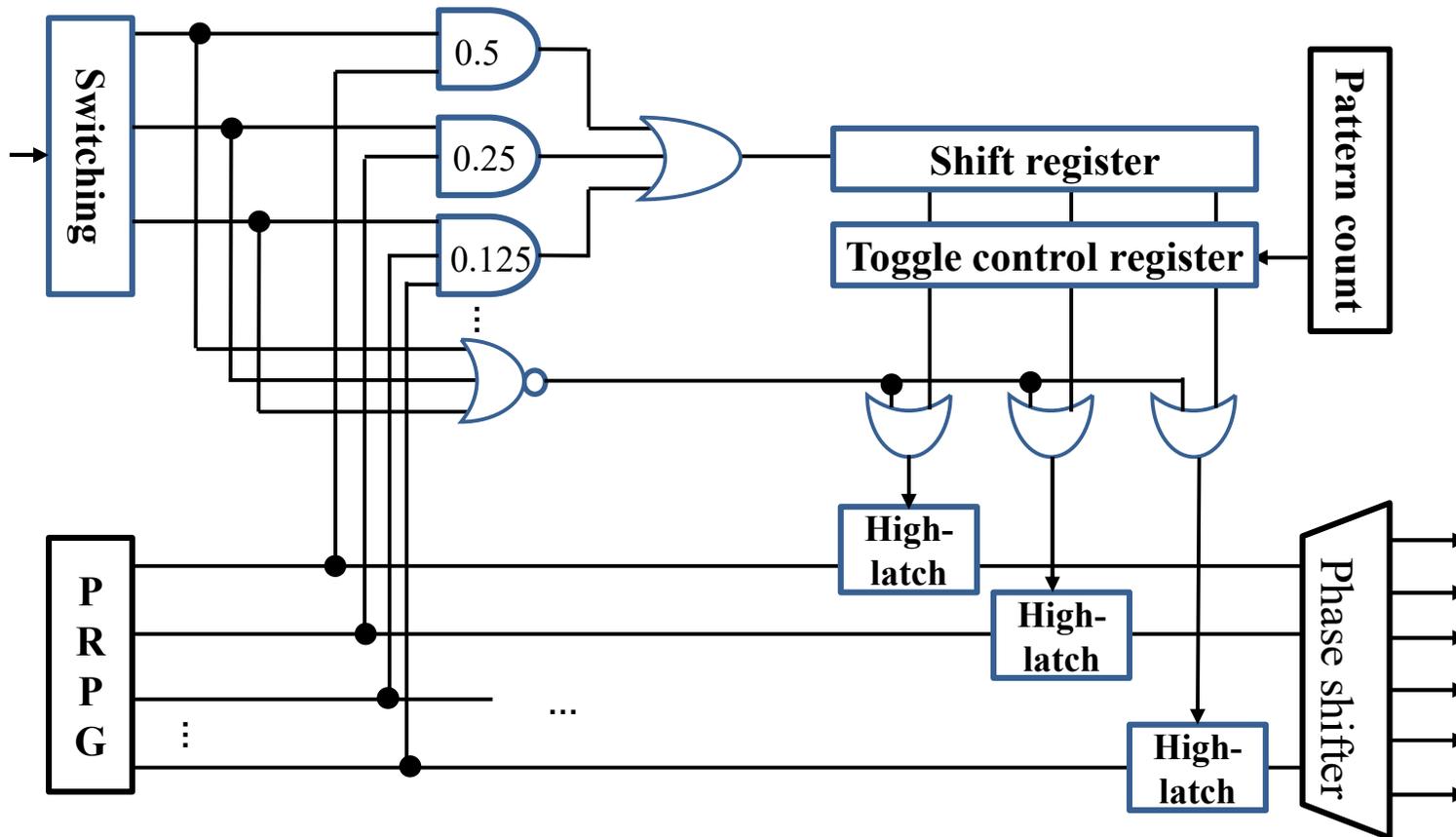


- ALP-RTPG[Lin, et al. ATS2010](LT-RTPGの改良)
 - フィードバック機構によるスキャン出力する時のトグルも考慮



入力パターンによる従来技術(2/2)

- 入力パターンのトグル率を修正し、電力制御
 - PRESTO[M. Filipek, et al. VLSI2015]
 - 入力パターンが指定したトグル率になるように固定値を挿入



→ 従来技術は、スキャン入出力・キャプチャ電力の一部にしか対応しておらず、テスト時電力制御の効果が限定的である



従来技術の問題点と提案技術の特徴

- テスト電力の**低減が不十分**

- キャプチャ時や出力応答の観測 (スキャン出力)に関わる全て電力の低減を考慮せず

- **故障検出率の低下**

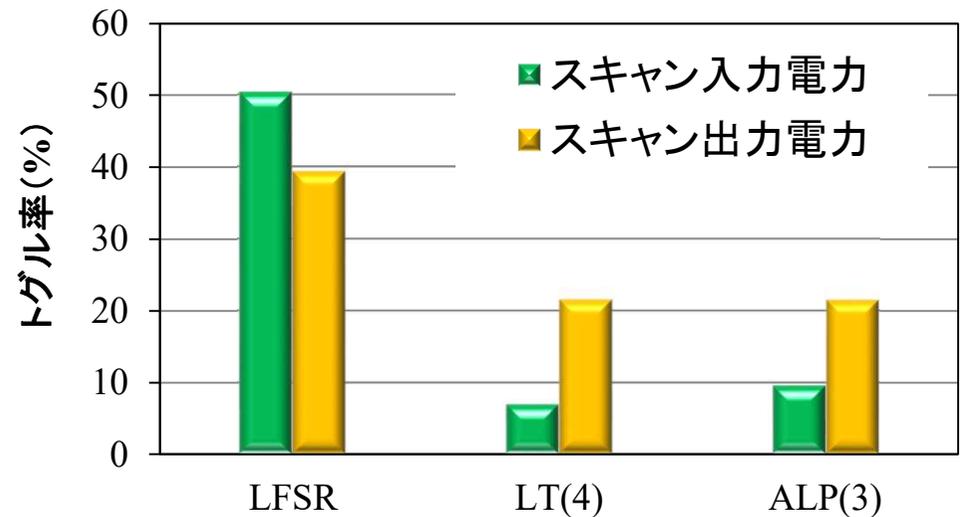
- 入力パターンのランダム性が低下

- 単にテスト電力の低減だけに着目

- 回路毎に最適なテスト時電力値は異なる
 - 低すぎるテスト電力は縮退・遅延故障の見逃しによる**テスト品質低下(故障の見逃し)**を誘発

【提案手法の特徴・優位性】

- テスト時消費電力を目標のレベルに制御可能
- テストパターンのランダム性に伴う故障検出率低下を抑止
- 論理BISTにおける消費電力BISTの課題を解決



30kパターンでの故障検出率[%]

回路	LFSR	LT(4)	ALP(3)
b14	85.01	79.00	81.17
b15	75.20	40.83	52.24
b20	84.25	83.91	81.13
b21	85.97	84.88	82.80
b22	85.30	83.15	81.43
平均	83.15	74.35	75.75

提案手法の概要

BISTのスクランテストにおける消費電力・故障検出低下の対策技術

① スキャンイン時の電力制御

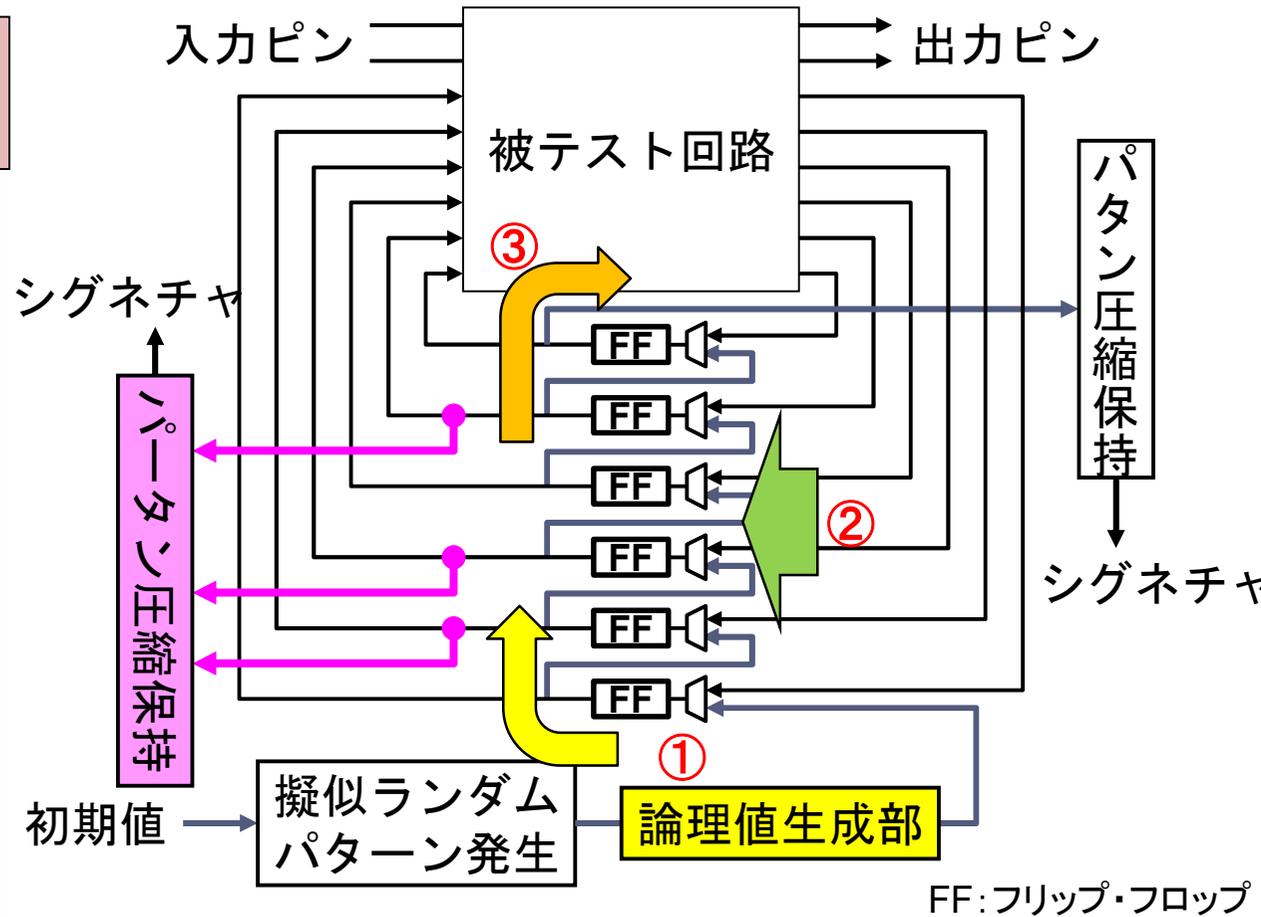
低電力なテストパターン入力

② キャプチャ時の電力低減

- ・キャプチャ時電力の低減
- ・テスト回数機会の増加 (故障検出増加)

③ スキャンアウト時の電力低減

低電力なテストパターン出力



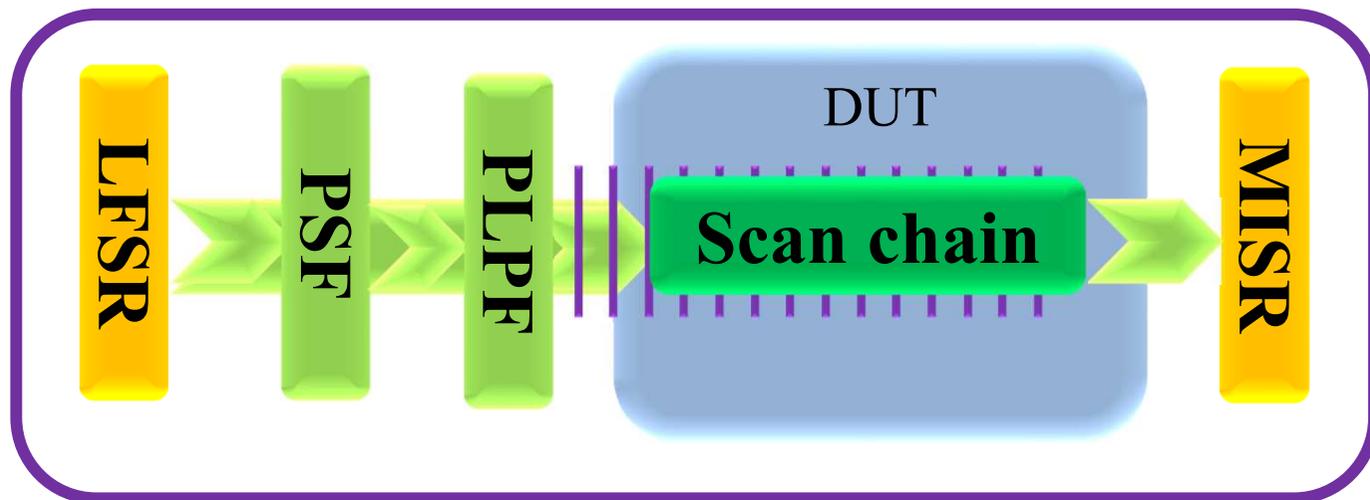
自己テストの各動作に対応した3つの回路対策
3特許を併用することで最大効果発揮

- ① スキャンイン: テストパターン発生器からスキャンチェーンを構成するFFにテストパターンを入力すること
- ② キャプチャ: 被テスト回路(組合せ回路)を通過したテスト結果をFFに取り込むこと
- ③ スキャンアウト: キャプチャされた値をスキャンチェーンのFFから出力すること

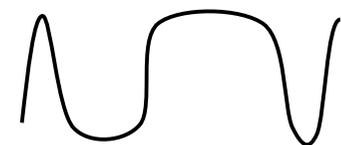


提案技術①: スキャン入力電力制御 (1/2)

- 擬似ローパスフィルタ(PLPF: *Pseudo Low-Pass Filter*) [Sato, ATS12]
 - 移動平均によるスキャン入力パターンの高周波成分を除去
 - PLPF入力数を増やすほど、トグル率削減率増加

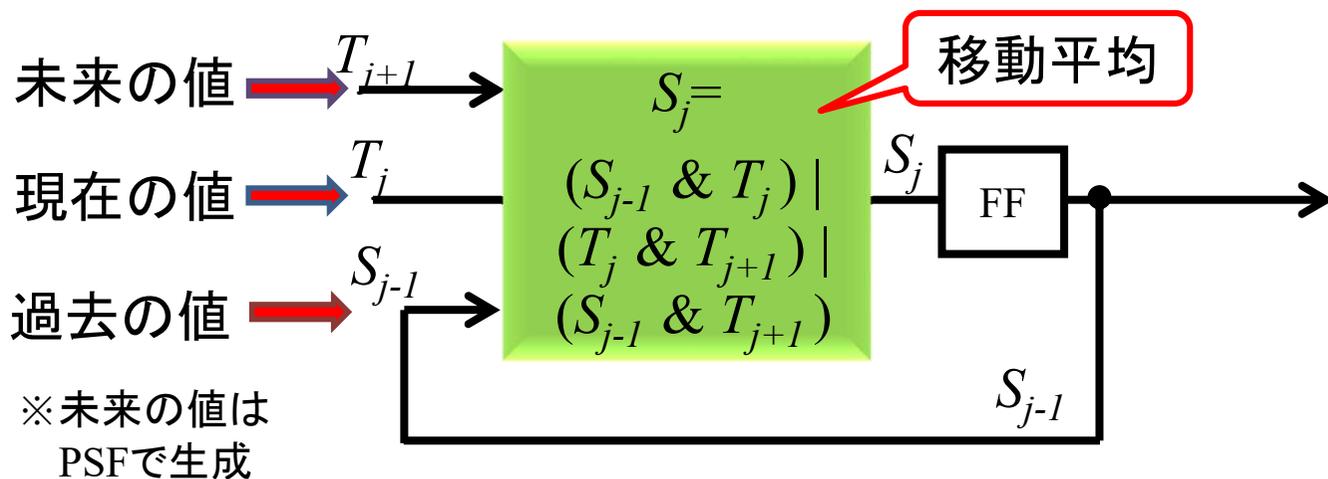
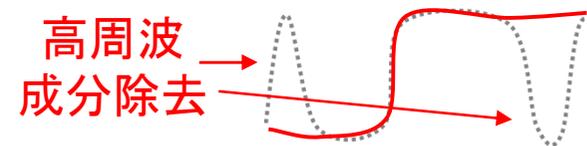


Original: 0100111101



PLPF

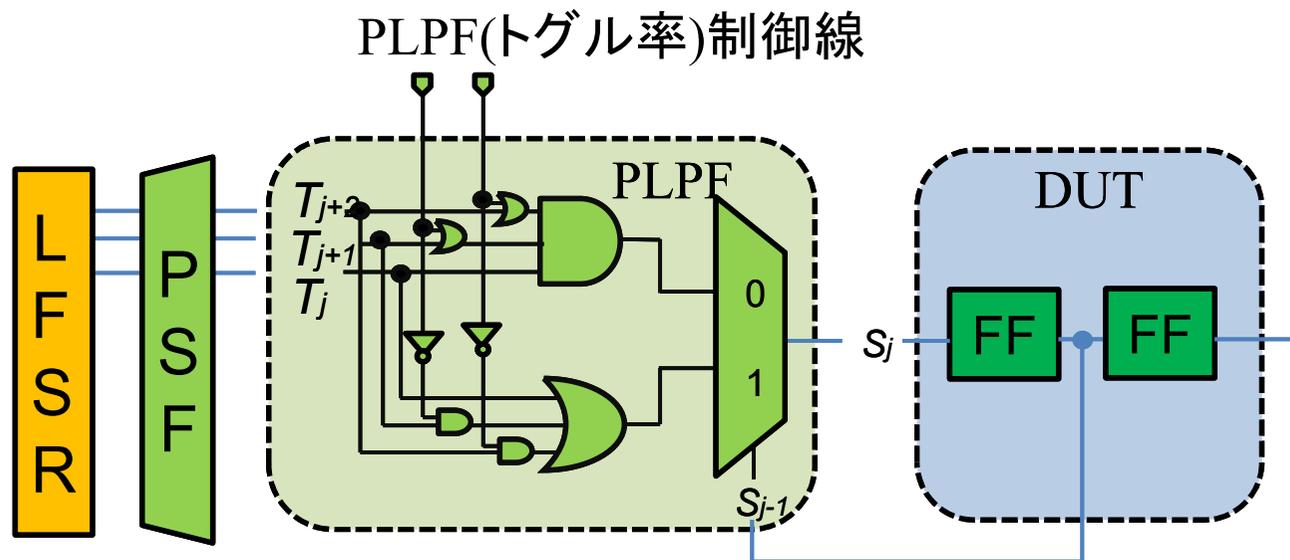
Modified: 0000111111



※シミュレーションの結果(30kパターン)
 3bit PLPF → 平均トグル率 17.1%
 5bit PLPF → 平均トグル率 7.6%

提案技術①: スキャン入力電力制御 (2/2)

- スキャン入力電力制御 [Kato, TETCSI17]
 - スキャン入力中にトグル率を変えることで任意のスキャン入力電力を実現
 - 回路毎に異なる適切なテスト電力(トグル率)に対応
 - トグル率を下げ過ぎると、故障検出率低下(不良すり抜け)
 - トグル率が高いと間違ったテスト判定(歩留まり)の原因



- LFSRの出力, 50%のトグル率
- PLPF(3bit)の出力, 17.1%のトグル率
- PLPF(5bit)の出力, 7.6%のトグル率

トグル率を7.6%~50%の範囲で自由に制御

スキャン入力電力(トグル率)計算式

※トグル率2回切替え時

$$WTM_{in} = \frac{\sum_{i=1}^{\alpha} i \times T_{\alpha}}{\sum_{j=1}^L j} + \frac{\sum_{i=\alpha+1}^{\alpha+\beta} i \times T_{\beta}}{\sum_{j=1}^L j} + \frac{\sum_{i=\alpha+\beta+1}^{\alpha+\beta+\gamma} i \times T_{\gamma}}{\sum_{j=1}^L j}$$

$$\alpha + \beta + \gamma = L$$

WTM : 指定したトグル率

α, β, γ : 時間比率

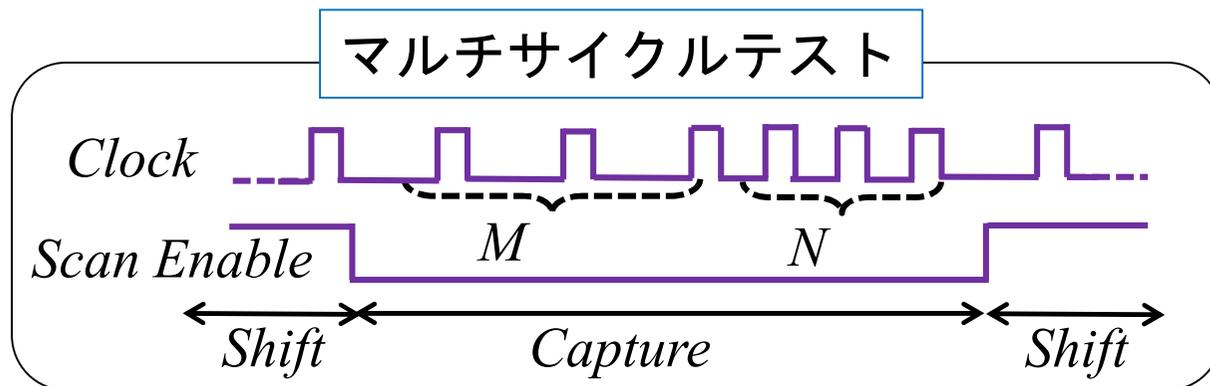
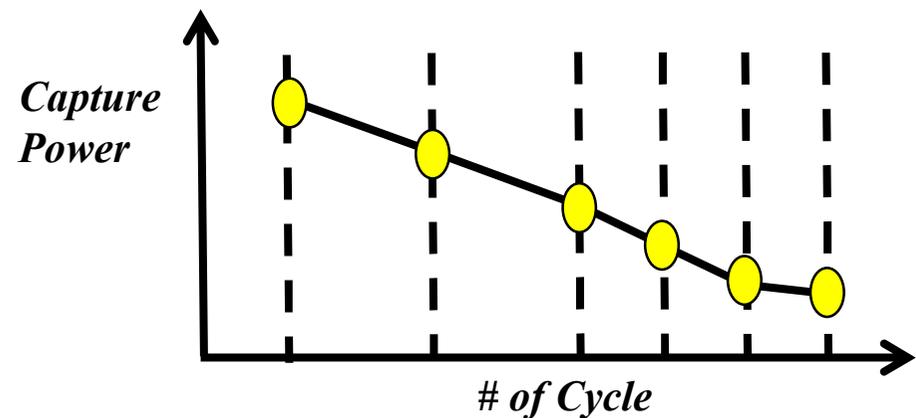
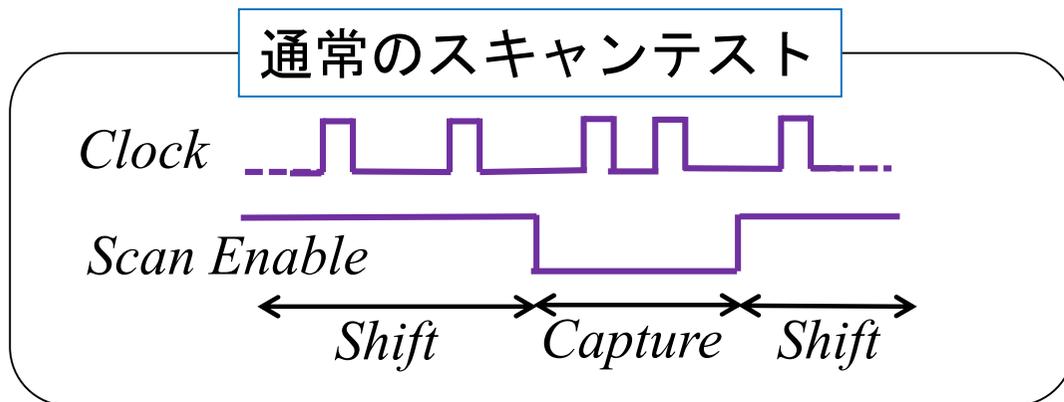
$T_{\alpha}, T_{\beta}, T_{\gamma}$: 各時間のPLPFトグル率

L : 最大スキャンチェーン長



提案技術②: キャプチャ電力低減

- マルチサイクルテストによるキャプチャ電力低減 [Sato, ATS12]
 - 複数回のキャプチャサイクルを行う
 - 通常動作時の消費電力に近づける
- キャプチャ数が多くなると**多くのFFの値が反転しなくなる**



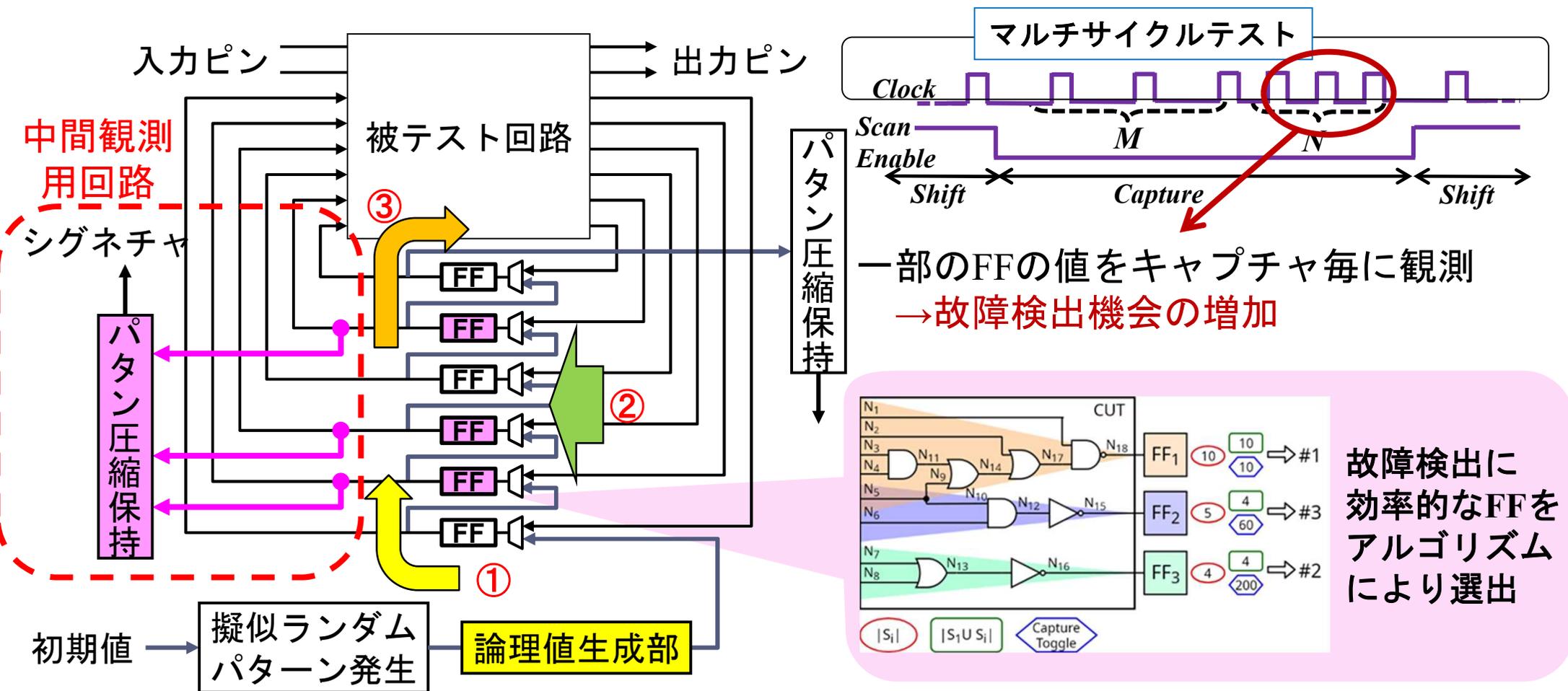
回路	b14s	b15s	b20s	b22s
FF数	245	449	490	735
反転頻度 1%以下の FF数	131 (53%)	271 (60%)	230 (47%)	440 (60%)

3万パターン入力後の信号値変化



提案技術②: キャプチャ電力低減

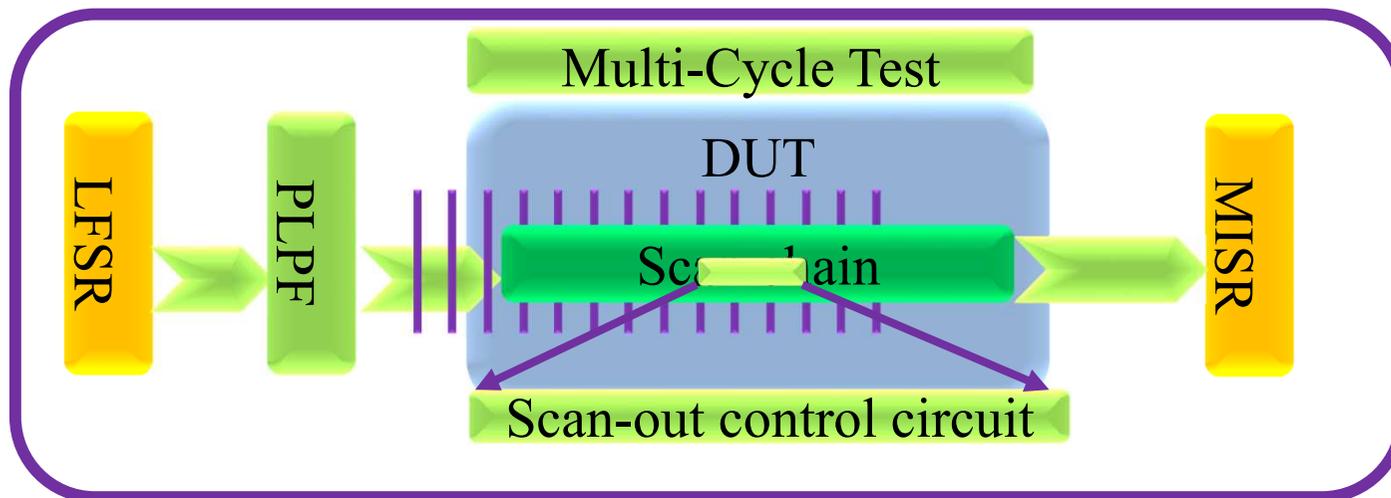
- テストパターンのトグル率の低減→ランダム性が低下
- マルチサイクルテストにおけるFF値の中間観測 [Oshima, ATS18]
 - 一部のFFの値を追加した応答パターン圧縮回路で観測する
 - 中間観測で故障検出に効果的なFFを回路情報の解析により選出する





提案技術③: スキャン出力電力低減

- 最終キャプチャ時に、特定のFFの値を、スキャンシフト時の電力が減少するように(反転する回数が少なくなるように)書き替える
 - 書き替えるFFは故障検出率に極力影響を与えないように選択する



Original: 0 0 1 0 1 1 1 → トグル数: 12

値書き換え: 0 0 0 0 1 1 1 → トグル数: 3

平坦化した出力応答

制御手法

- 0-filling
FF値を固定値0に書き換え
- Adjacent-filling
隣接するFFの値に書き換え



提案手法①の効果(シミュレーション)

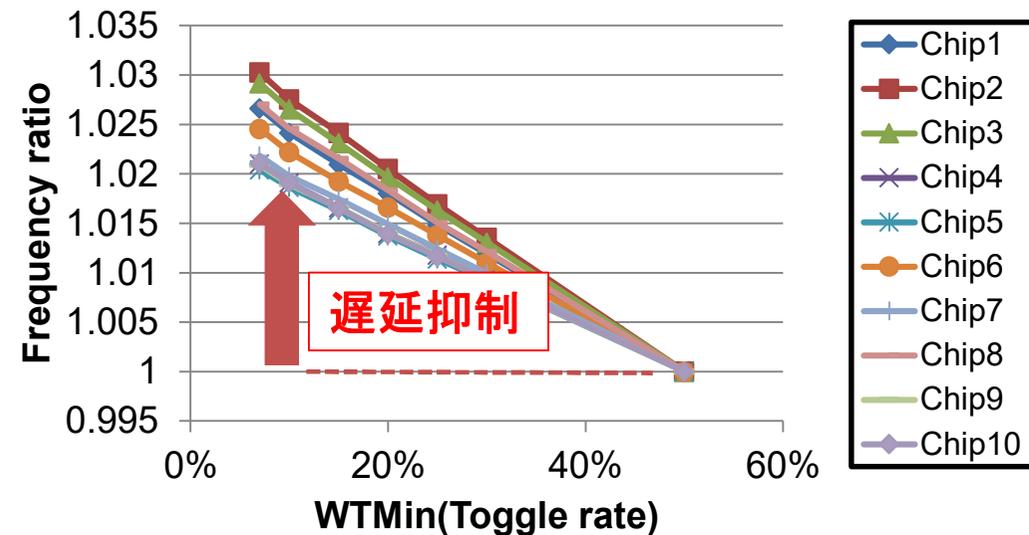
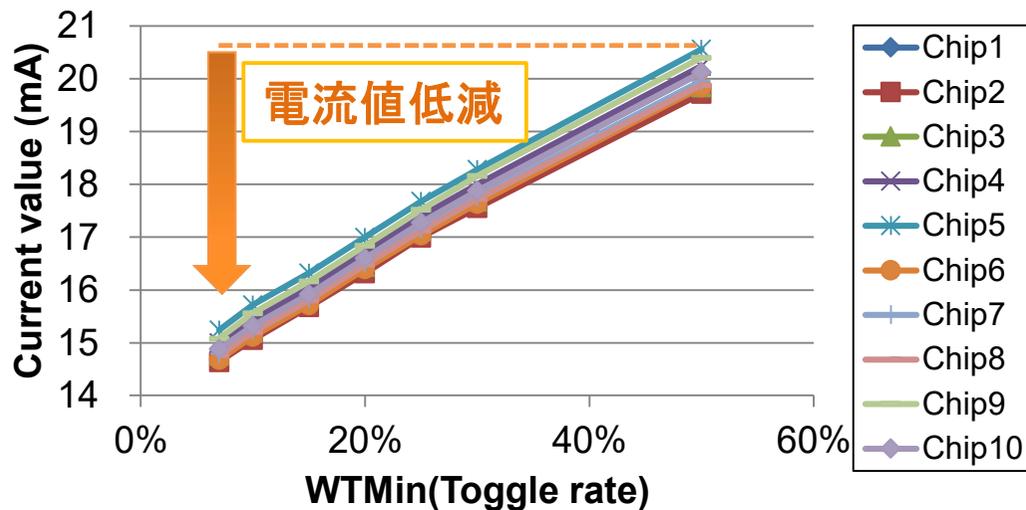
- シミュレーション環境設定
 - テスト数: 30k
 - 中間観測FFの比率: 20%
 - 出力時固定値0 書き換え
 - マルチサイクルテスト: 20サイクル
 - 故障モデル: 縮退故障
 - 回路: (ITC99) b14s, b15s, b20s, b21s, b22s

任意のレベルまでスキャン電力(入力・出力のトグル率)を制御可能

Circuit	LFSR(ランダム)			スキャンイン制御 (PLPF)								
	トグル率 50%			トグル率10%			トグル率20%			トグル率30%		
	入力	出力	シフト	入力	出力	シフト	入力	出力	シフト	入力	出力	シフト
b14	50	47.41	48.71	10.61	15.73	13.15	20.01	26.41	23.19	29.79	30.36	30.07
b15	49.99	47.64	48.82	10.29	19.73	14.97	20.16	26.87	23.48	29.76	30.01	29.88
b20	50	46.93	48.48	10.46	20.09	15.22	19.92	28.95	24.39	29.82	33.78	31.78
b21	50	46.94	48.49	10.46	20.05	15.21	19.92	28.89	24.36	29.82	33.7	31.74
b22	49.99	47.09	48.55	10.61	19.42	14.97	20.29	27.55	23.89	29.67	31.64	30.64
AVE.	50.00	47.20	48.61	10.49	19.00	14.70	20.06	27.73	23.86	29.77	31.90	30.82

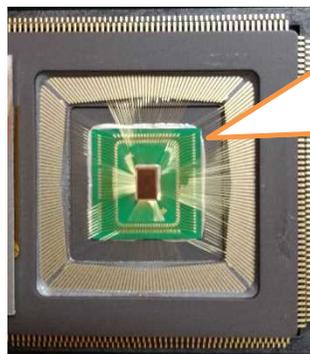
提案手法①の効果(実チップ)

- 実際にスキャン入力電力制御回路を搭載した試作チップで測定・評価
 - 電力制御時の電流値とリング発振器を測定
 - テスト時の電力制御と回路遅延量の制御を確認

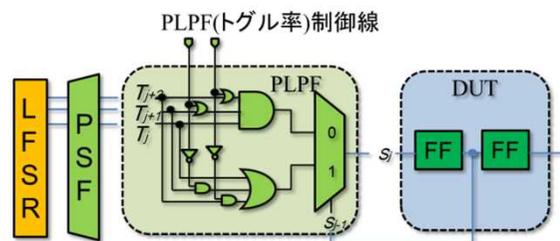


TEG詳細

プロセス	SOTB CMOS 65nm
電圧	1.2V
動作周波数	50MHz
テスト対象	B22*10 (FF:7410個)



スキャン入力制御回路



提案手法によるトグル率制御
 →通常動作(20%程度)
 の遅延量に制御可能
 →実際の動作に近いテスト
 により歩留まり改善

提案手法②の効果(シミュレーション)

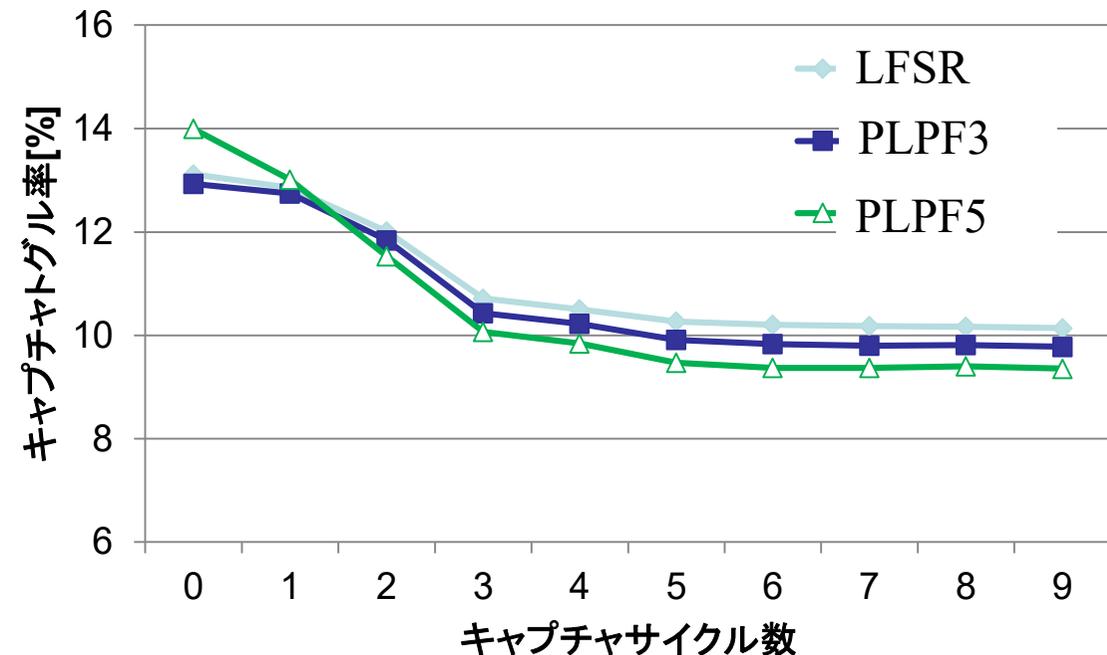
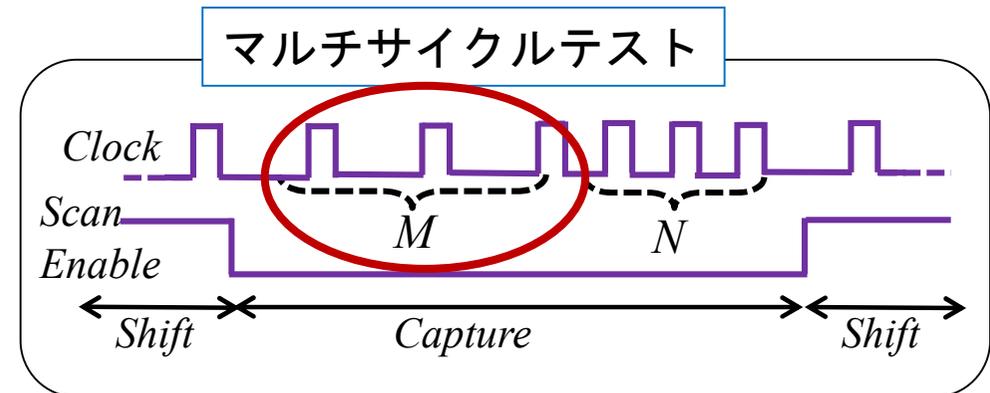
- マルチサイクルテストによるキャプチャトグル率低減効果

- b22回路

- キャプチャサイクル数毎のキャプチャトグル率を計算

- テストパターン数: 3000
- スキャン入力のテストパターンのトグル率低減レベル
 - LFSR, PLPF3, PLPF5

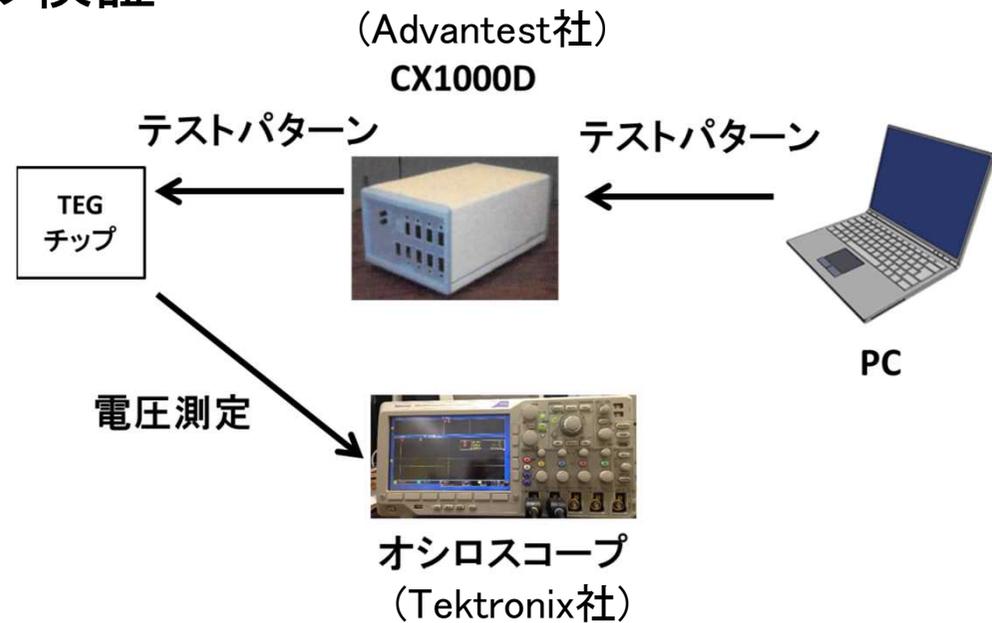
- キャプチャ回数が多くなるとキャプチャトグル率が低下する傾向を確認



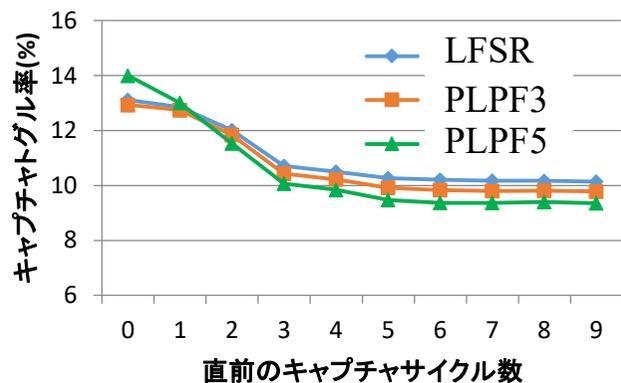


提案手法の効果②(実チップでの測定)

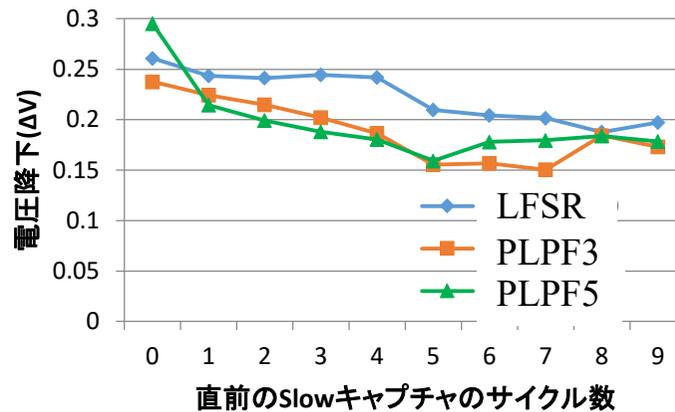
- TEGによるキャプチャ電力低減効果の検証
 - スキャンシフト時の周期: 150ns
 - Slowキャプチャ時の周期: 100ns
 - Fastキャプチャ時の周期: 20ns(実速度)
- 50回測定した平均値を基準電圧の1.8Vから引いて電圧降下の値とする
- **キャプチャ回数が増えるにつれて電圧降下が小さくなる傾向を確認**



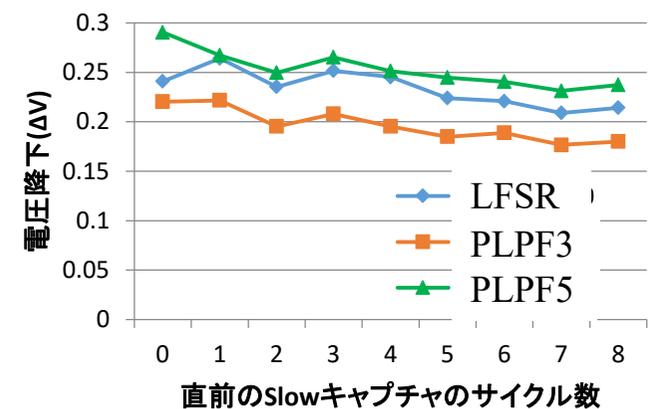
キャプチャトグル率



Fastキャプチャ時の電圧降下



Slowキャプチャ時の電圧降下

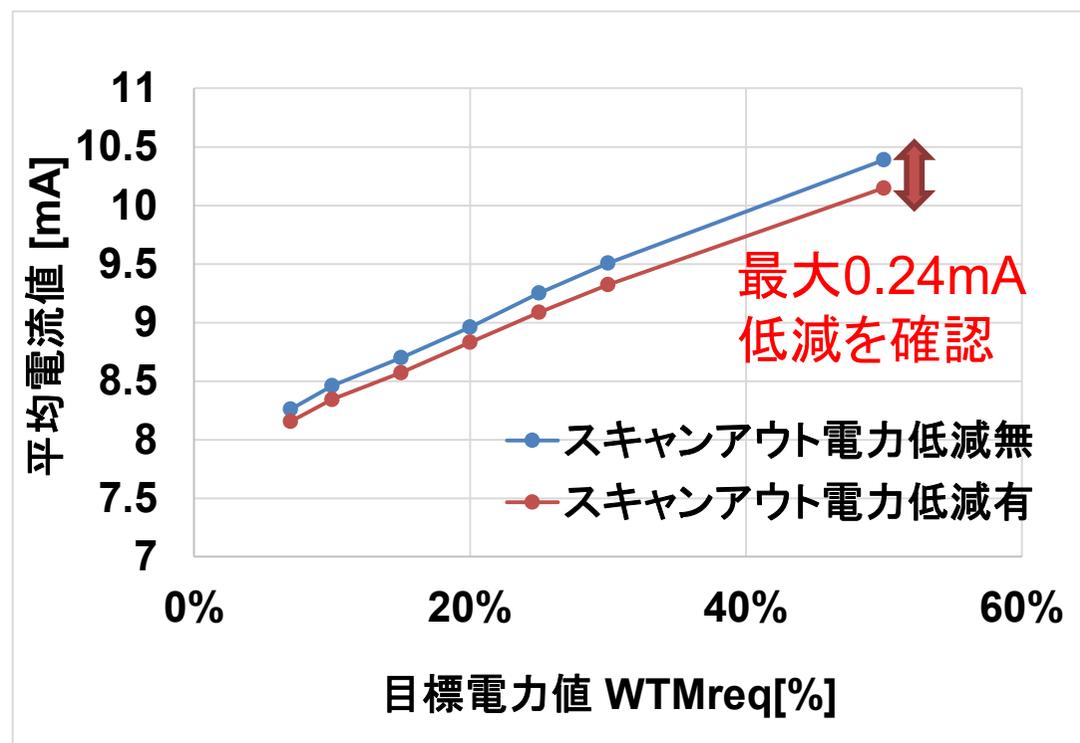




提案手法の効果③(シミュレーション・実チップ)

- スキャンアウト電力低減
 - 全体のFFの20%に対して、スキャンアウトの前にFF値を0に書き換え
- シミュレーションでのトグル率低減効果を確認
- スキャンアウト電力低減回路を搭載した実チップの電流値を測定
 - スキャンアウトのトグル率低減による電流値の低減を確認

回路	WTM _{in}	WTM _{out}	
	スキャンイン電力低減	スキャンアウト電力制御無し	0-filling
b14	8.08	22.82	7.36
b15	7.55	13.06	8.76
b20	7.44	16.40	9.12
b21	7.44	16.40	9.09
b22	7.61	17.37	8.70
Ave.	7.62	17.21	8.61



9.59%増

1.01%増

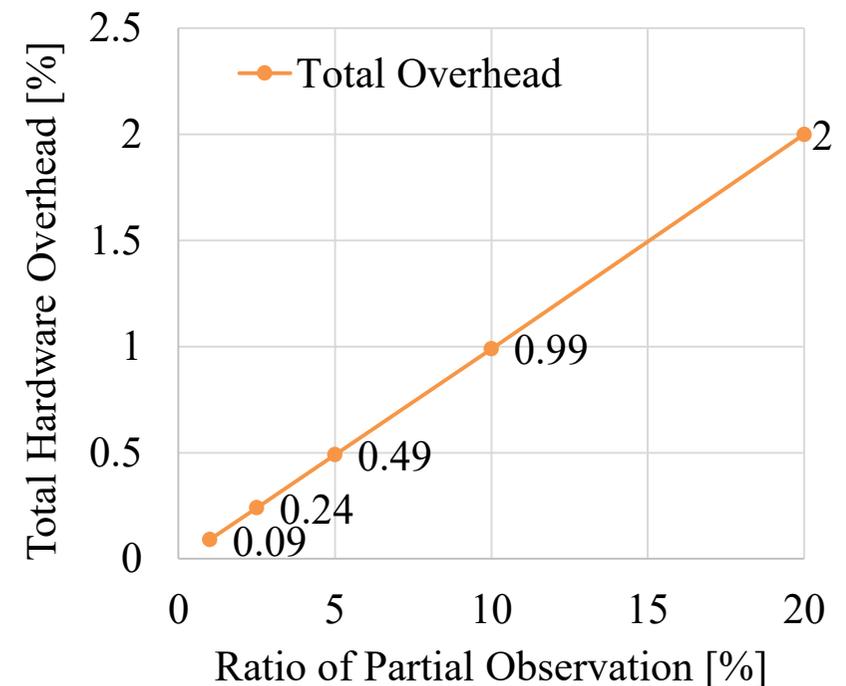


提案手法の効果(故障検出率・付加面積)

- **既存低電力手法より検出率が向上**
 - 中間観測するマルチサイクルテスト技術の利用
- **提案手法の面積増加率は1.5%程度**
 - 10%のFFを中間観測した場合の付加面積0.99%程度
 - スキャンイン電力制御回路の面積は0.43%程度
 - スキャンアウト電力制御回路の面積は0.01%程度

Circuit	Fault coverage for 1 Cycle test [%]			Fault coverage for 20 Cycles test [%]
	LFSR	LT(4)	ALP(3)	提案手法 (①②③併せて)
b14s	85.01	79.00	81.17	90.45
b15s	75.20	40.83	52.24	93.06
b20s	84.25	83.91	81.13	91.01
b21s	85.97	84.88	82.80	91.54
b22s	85.30	83.15	81.43	91.06
Ave.	83.15	74.35	75.75	91.42

中間観測FFのオーバヘッド





想定される用途と実用化に向けた課題

- 想定される用途
 - 論理LSIへのBISTの導入によるテストコスト削減(特に低電力デバイス)
 - フィールド(オンライン)でのシステムテスト・ボードテスト可能化
- 実用化に向けた課題
 - 既存のEDAツールへの接続
 - 各種アルゴリズムの最適化: スキャン入力電力削減における各PLPFのテスト時間配分, マルチサイクルテストの中間観測FF(出力制御FF)選択
- 企業への期待
 - 大規模論理を含む回路を開発する企業には, 提案技術は有効と思われる.
 - テスト設計用CADツールを有するLSI開発企業やEDAベンダとの共同評価やライセンスを期待

産学連携等の経緯

- 2008-2013年 JST戦略的創造研究推進事業 CRESTに採択
九州工業大学, 奈良先端科学技術大学院大学, 首都大学東京, 大分大学



- 2009-2011年 JST特許化支援事業 特許群支援(大学型)に採択
- 2013-2015年 JST特許化支援事業 特許群支援に採択
- 2014年 JST 重要知財集約活用制度に採択(本技術に関わる特許)
①特許第5988443号、②特許第5845187号、③特許第6223967号
(いずれも 米・韓でも登録済)



本技術に関する知的財産権

1) 【発明の名称】 : テストパターン生産装置、故障検出システム、
テストパターン生産方法、プログラム及び記録媒体
【出願番号】 : PCT/JP2013/050150 (日・米・韓 登録済)
【特許権者】 : 国立研究開発法人科学技術振興機構
【発明者】 : 佐藤 康夫、梶原 誠司

2) 【発明の名称】 : 故障検出システム、取出装置、故障検出方法、プログラム
及び記録媒体
【出願番号】 : PCT/JP2011/072211 (日・米・韓 登録済)
【特許権者】 : 国立研究開発法人科学技術振興機構
【発明者】 : 佐藤 康夫、梶原 誠司

3) 【発明の名称】 : 故障検出システム、生成回路及びプログラム
【出願番号】 : PCT/JP2013/063393 (日・米・韓 登録済)
【特許権者】 : 国立研究開発法人科学技術振興機構
【発明者】 : 佐藤 康夫、王 森レイ、宮瀬 紘平、梶原 誠司



まとめ

- 論理回路のBIST用スキャンテストの低電力化技術
 - テスト時消費電力を任意のレベルに制御可能
 - 故障検出率は低下しない、もしくは向上効果が見込める
 - チップ面積増加は1.5%程度



問合せ先

科学技術振興機構

知的財産マネジメント推進部 知財集約・活用グループ

TEL 03-5214-8486

e-mail: license@jst.go.jp