

イメージセンサ用カラム並列3段 パイプラインA/D変換器

静岡大学 電子工学研究所
ナノビジョン研究部門
イメージングデバイス分野
特任教授 袴田 正志

令和2年11月5日

従来技術と課題

・ 従来技術

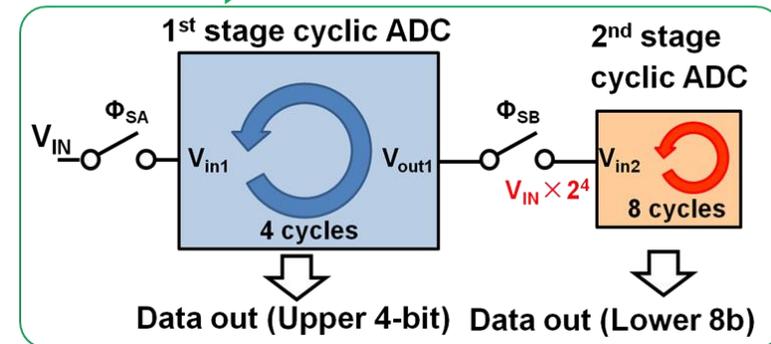
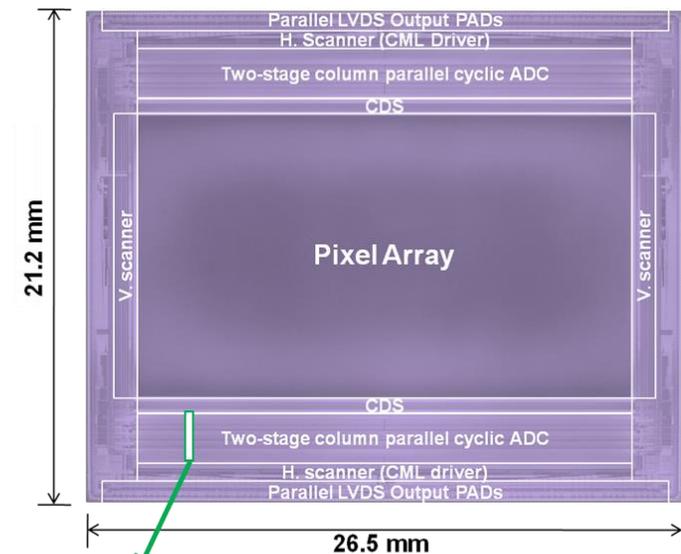
8K(7680×4320)スーパーハイビジョンは、2018年12月からNHK BSデジタルで本放送が開始されている。

現状、番組制作は60コマ/秒(fps)で行われているが、スポーツなど被写体の動きが速い場合は、フルスペック規格(120fps)で撮影できるイメージセンサが求められた。

本研究室で開発された巡回型AD変換方式は、高速性が特徴のAD変換方式ではあるが、12bit以上を1段、1水平期間内で実現するのは困難であったため、AD変換を上位ビットの前段と下位ビットの後段に分け、それぞれの巡回型AD変換器を、1水平期間前の下位ビットと、現水平期間の上位ビットとが並行してAD変換されるように2段パイプライン化した。これにより後段の精度が低くて済むようになったため、後段の回路規模が縮小可能となり、高速性と低消費電力を両立したAD変換器が実現できた。(特許第5769178号)

・ 課題

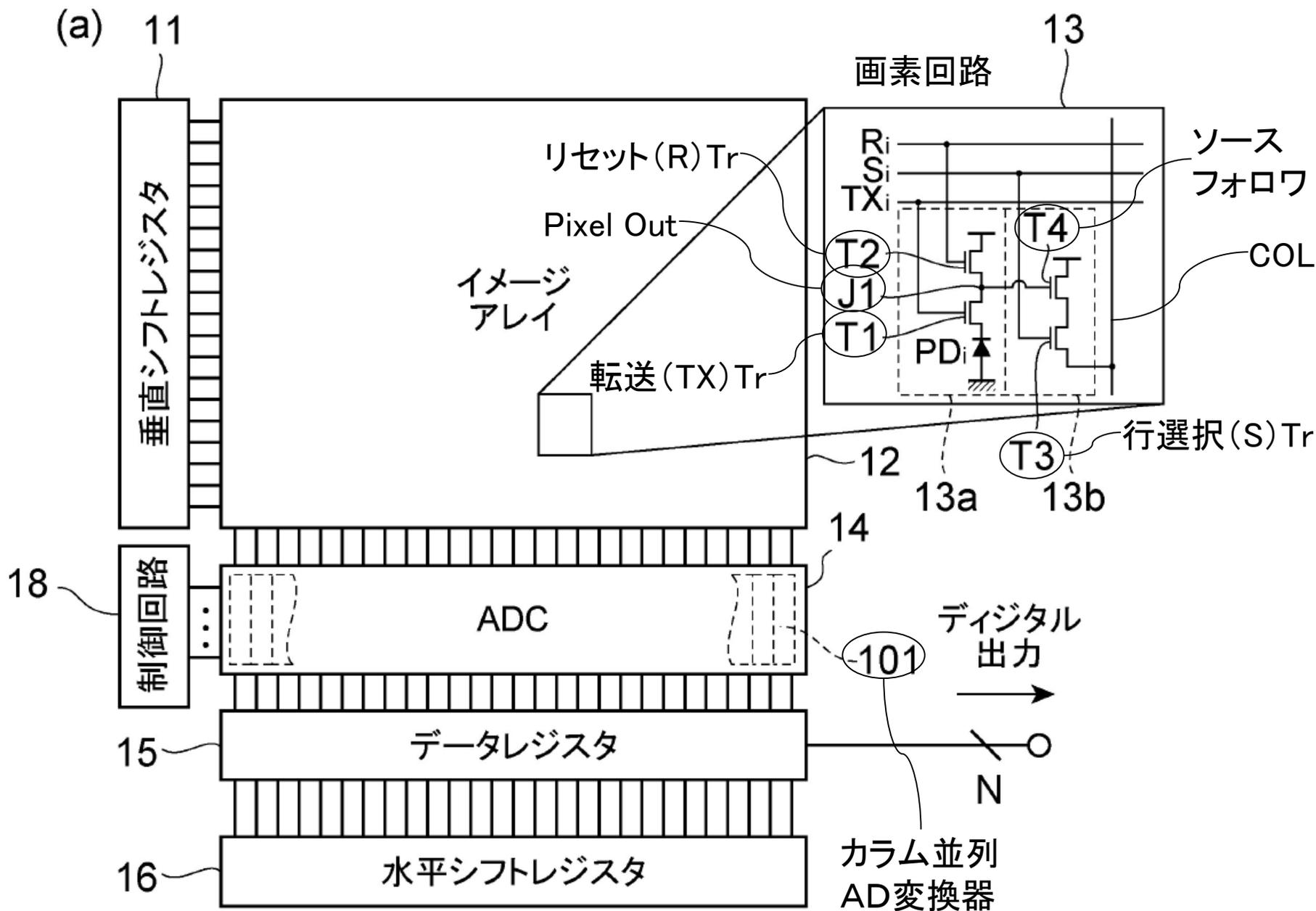
スローモーション撮影に必要な120fps以上の高速化には、8Kで120fps、即ちカラム並列AD変換で1回当たり $1.92 \mu s$ ($\div (1/120)/4320$)より短い変換時間に対応できなければならないが、2段パイプラインでは困難であるため、さらなる高速化の技術が求められた。



新技術の特徴・従来技術との比較

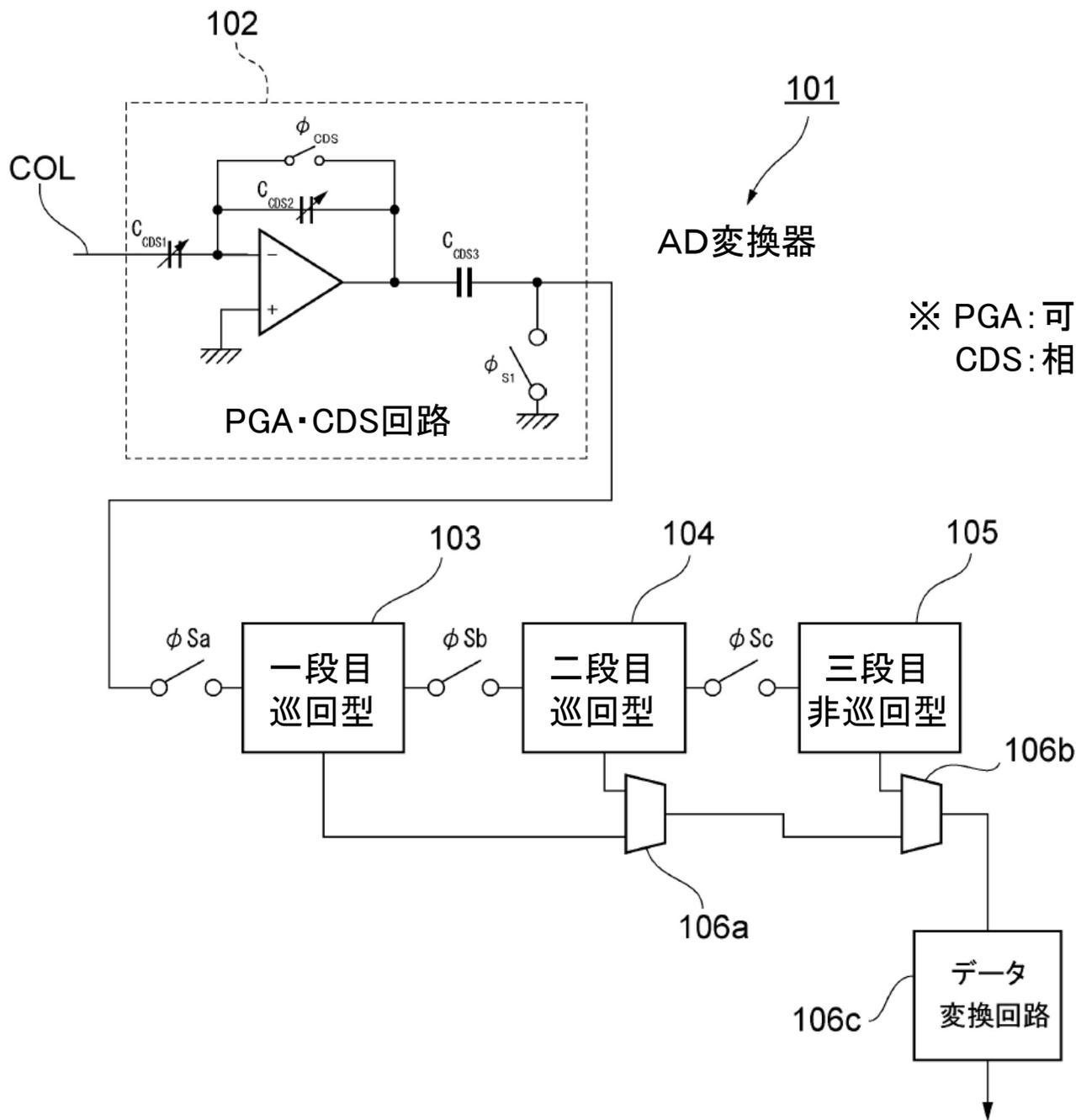
- 2段パイプライン → 3段パイプラインによる高速化。
- 追加する3段目を非巡回型とすることで、消費電力を抑制。
- さらに、AD変換を行う際のサンプル・ホールドのタイミング等を、他段のAD変換回路の遷移期間からずらすことによって、一方のAD変換回路の動作の影響から発生するノイズ（例えば、ホールドノードに寄生容量などを介して混入するノイズ）による他方のAD変換回路で生成および出力されるデジタル値及び残差値の精度の低下を防止し、その結果として、AD変換の精度を向上させる。

新技術の特徴(画素アレイとカラムAD変換器)



新技術の特徴

(2段巡回型3段パイプラインAD変換器)



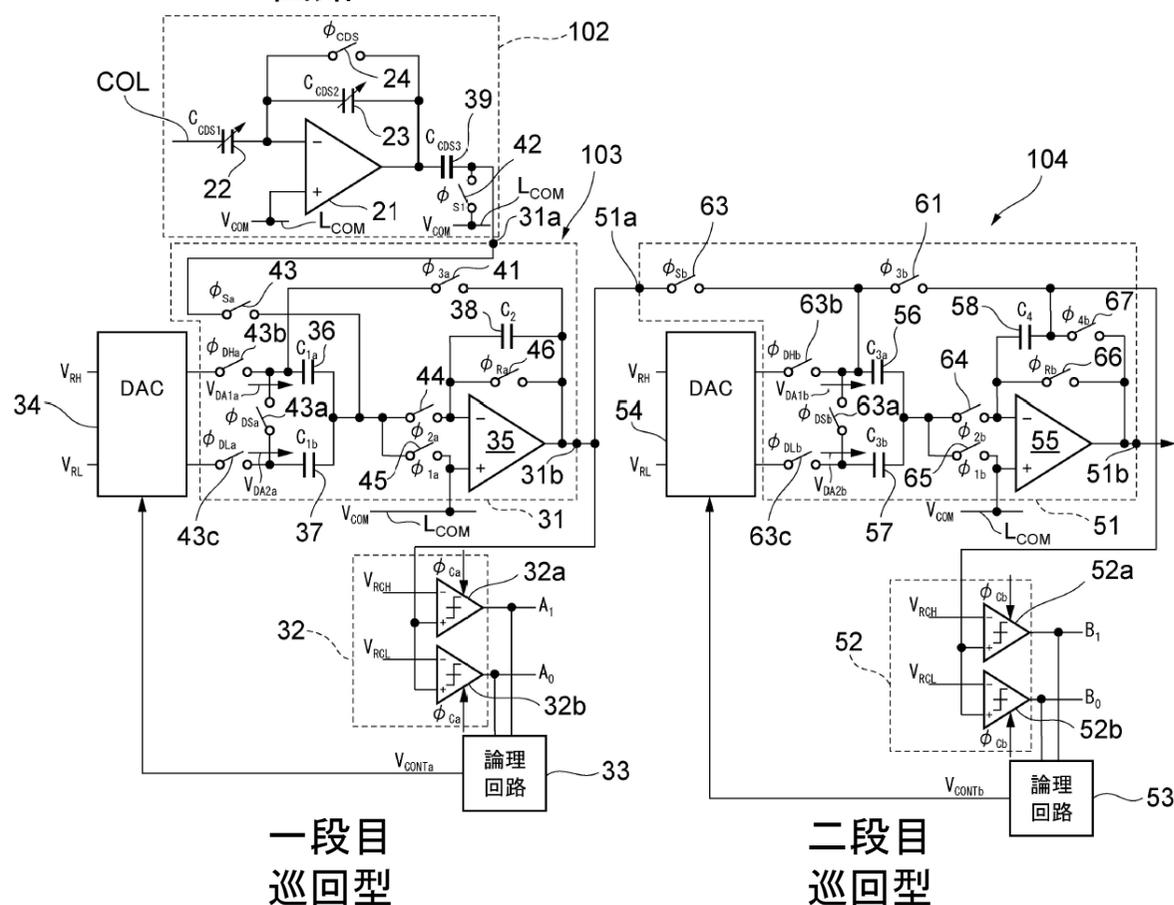
※ PGA: 可変利得増幅器
CDS: 相関二重サンプリング

新技術の特徴(巡回型AD変換回路(1))

カラム線(COL)から巡回型二段目までの回路例

巡回型一段目の動作

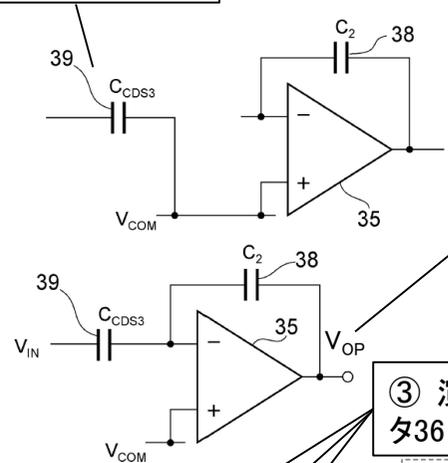
PGA・CDS回路



① CDS回路のキャパシタ39に基準電位 V_{COM} がホールドされる

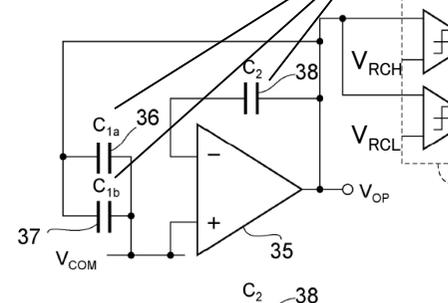
② カラム線COLの信号レベル V_S とリセットレベル V_R との差分に対応した入力信号 V_{IN} がサンプリングされ出力 V_{OP} として生成される

CDS動作



③ 演算値 V_{OP} をキャパシタ36、37、38に格納する

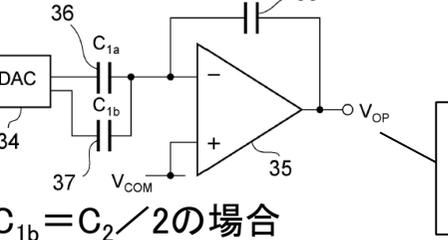
格納(S)動作



④ サブAD変換回路32が V_{OP} からデジタル信号Dを生成

繰返し

演算(A)動作



⑥ 2倍増幅及びDA変換値との残差値を生成

⑤ サブAD変換回路32からのデジタル信号DよりDA変換値を生成

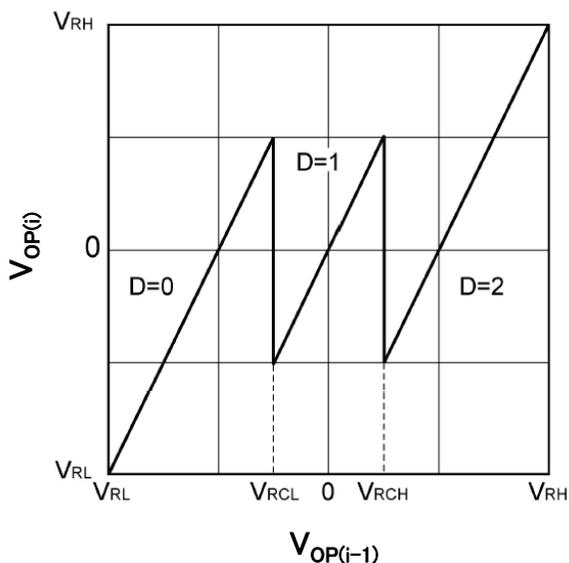
$$\begin{aligned}
 D=0のとき & V_R = V_{RH} \\
 D=1のとき & V_R = (V_{RH} + V_{RL}) / 2 \\
 D=2のとき & V_R = V_{RL}
 \end{aligned}$$

$C_{1a} = C_{1b} = C_2 / 2$ の場合

$$V_{OP} = 2 \times V_{IN} - V_R$$

新技術の特徴(巡回型AD変換回路(2))

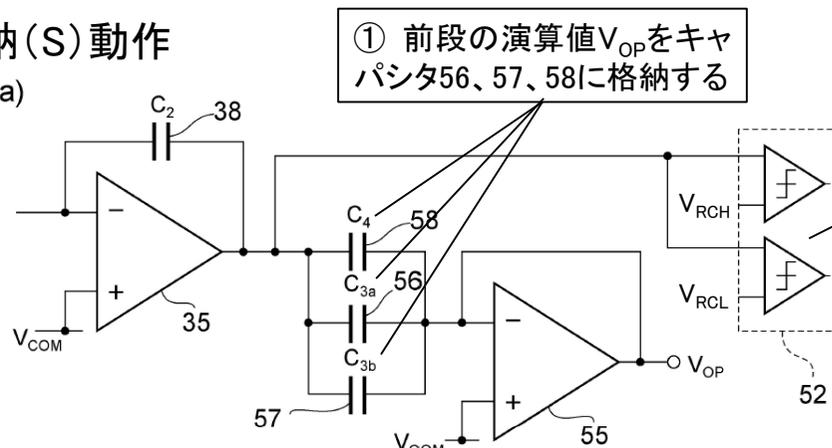
巡回型のAD変換特性(演算値 V_{OP} と1巡回毎のサブADのデジタル値D)



巡回型二段目の動作

初期格納(S)動作

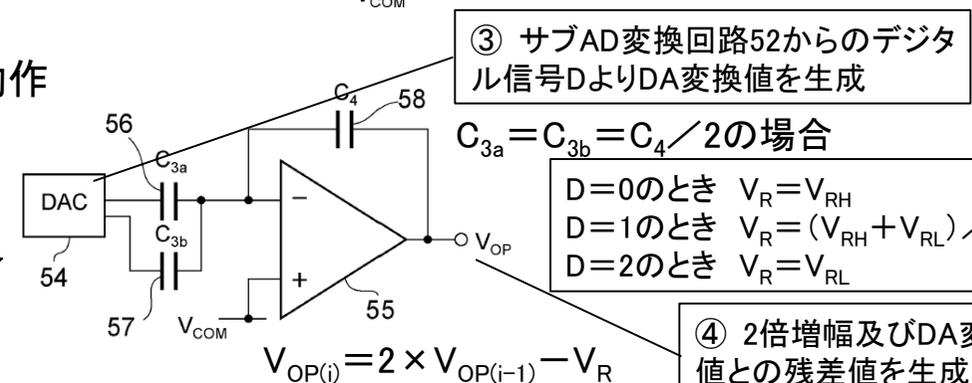
(a)



② サブAD変換回路52が V_{OP} からデジタル信号Dを生成

演算(A)動作

(b)

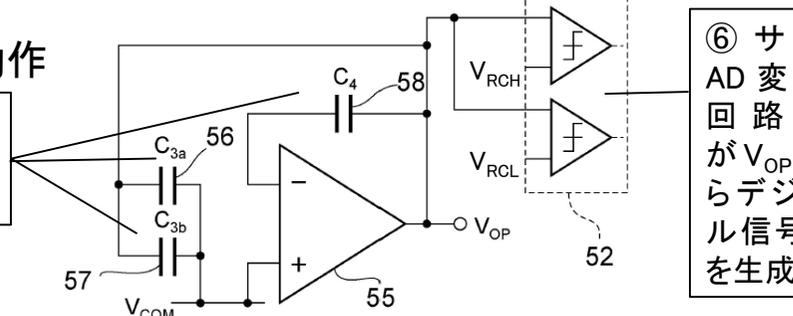


繰返し

格納(S)動作

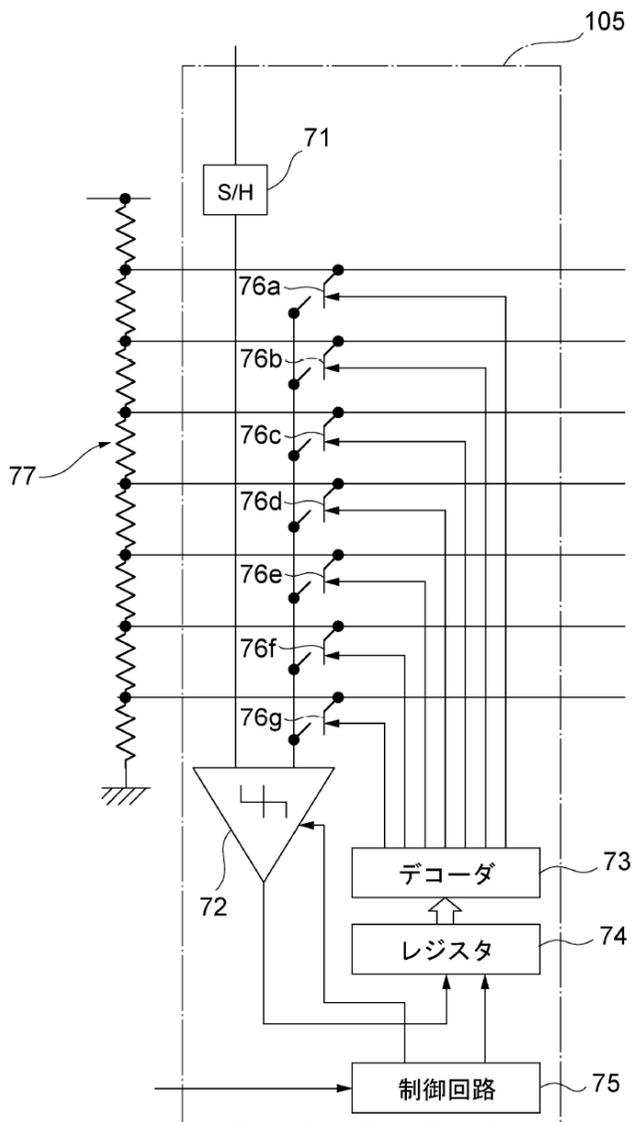
(c)

⑤ 演算値 V_{OP} をキャパシタ56、57、58に格納する

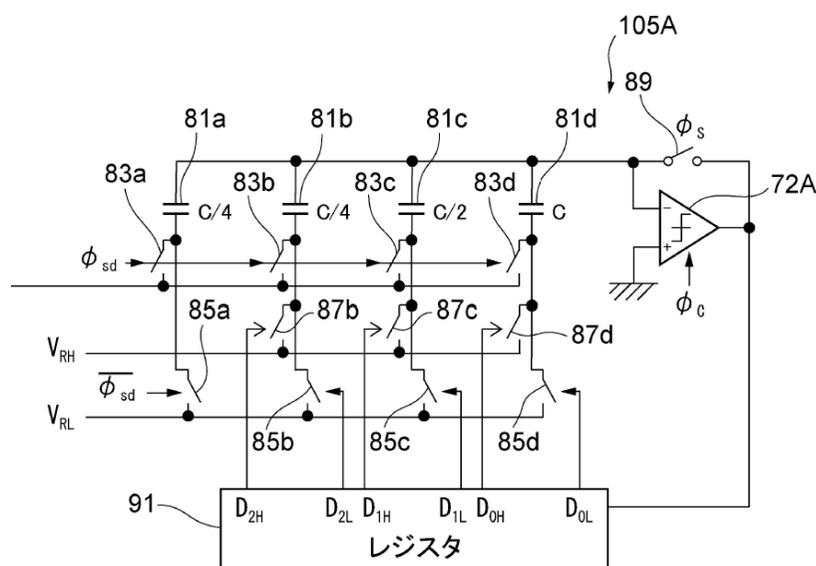


新技術の特徴(3段目非巡回型)

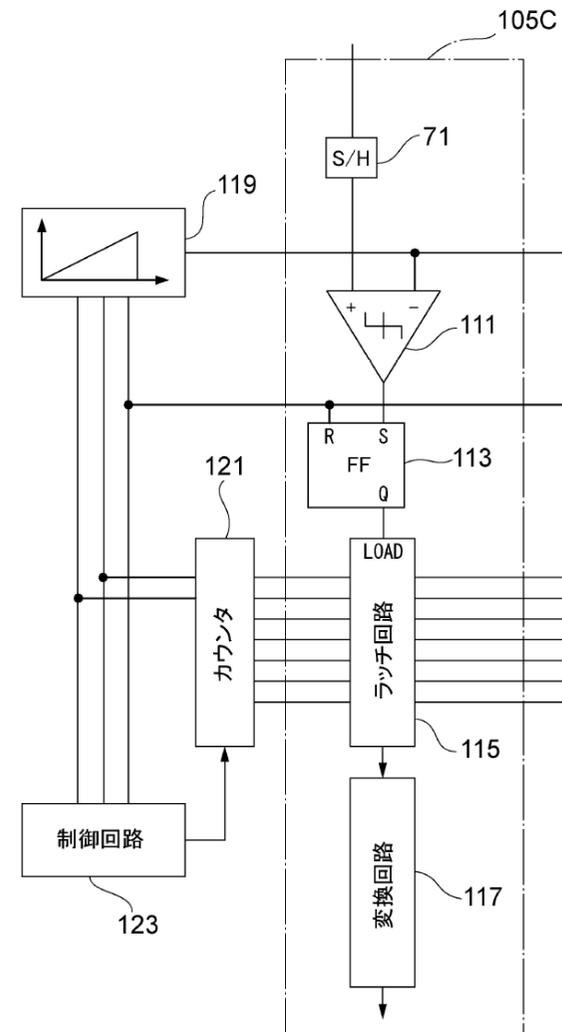
逐次比較(SAR)型



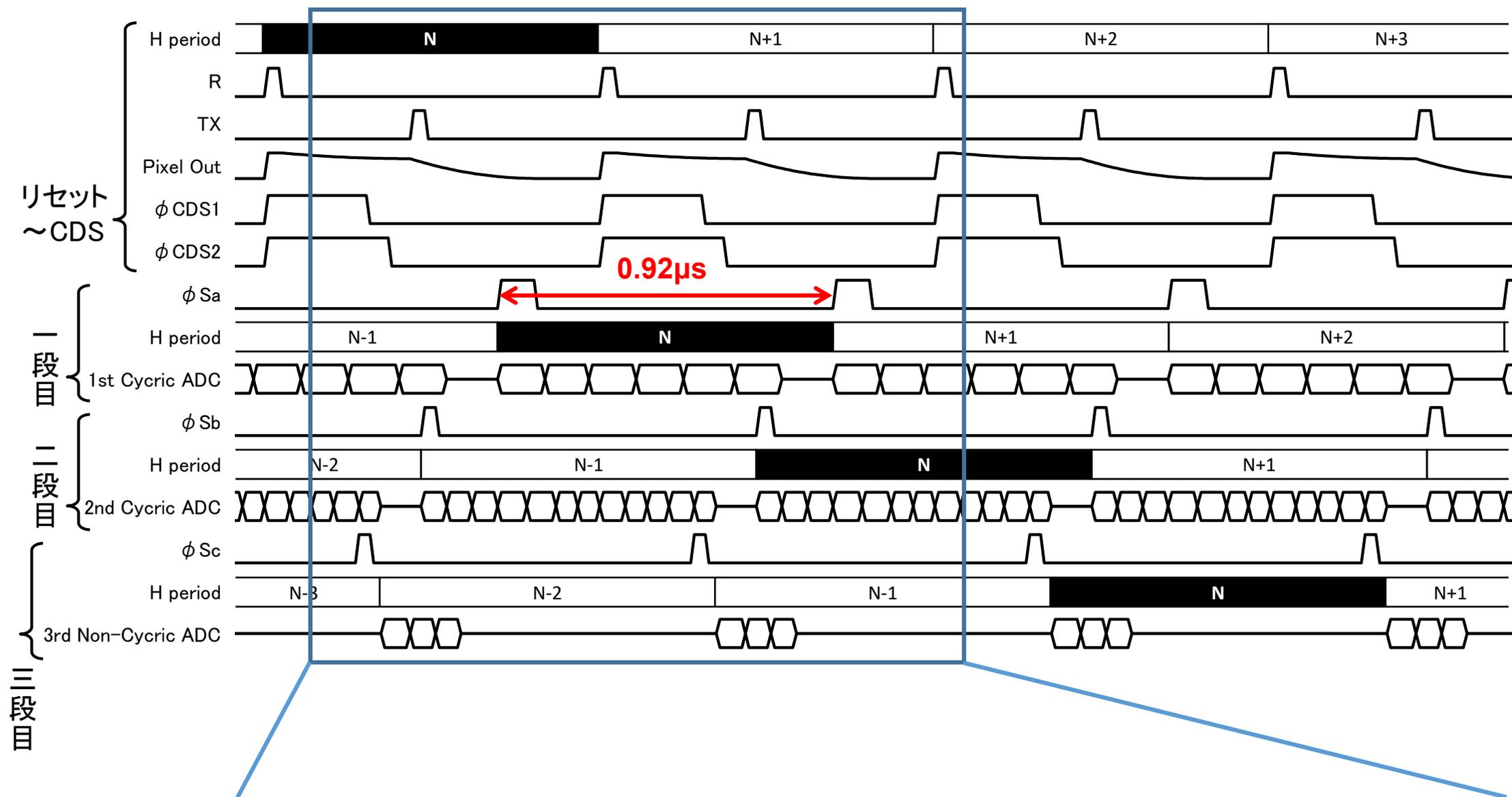
逐次比較(SAR)型



シングルスロープ型



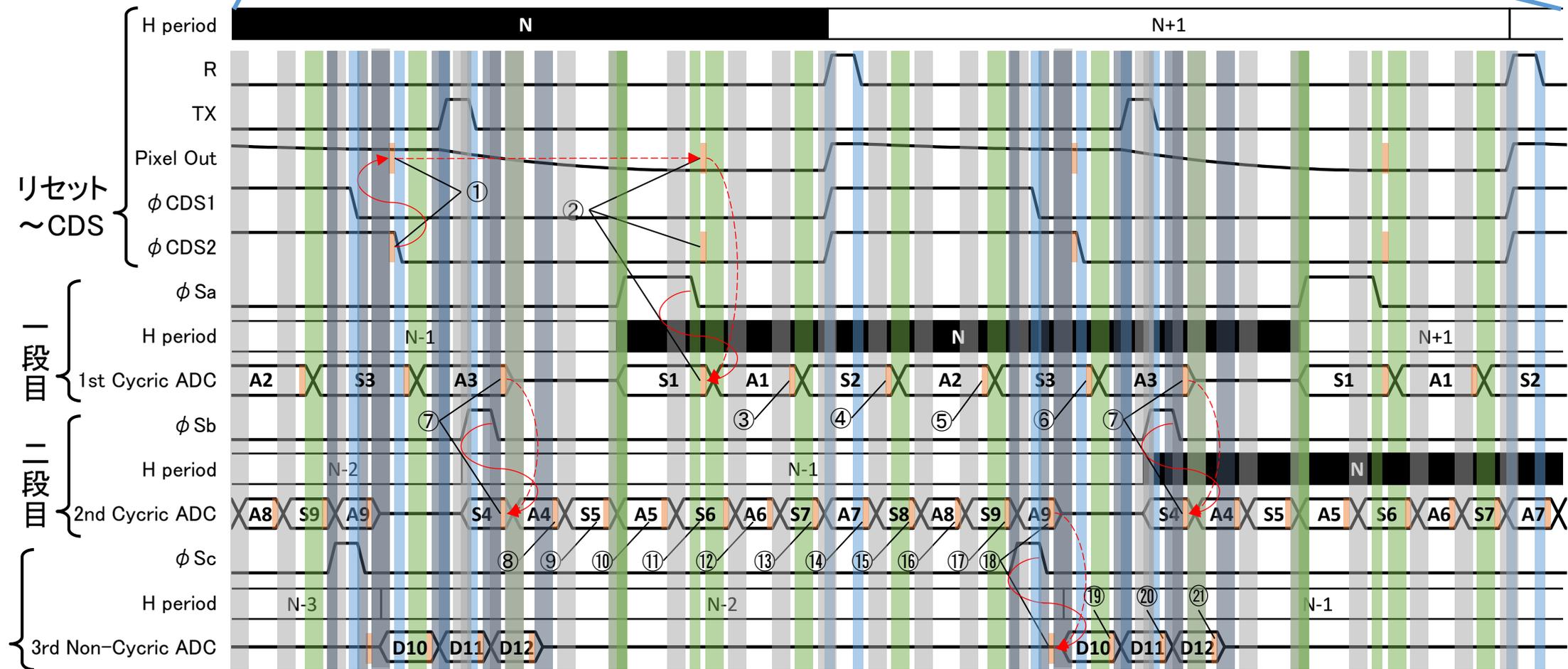
新技術の特徴(変換タイミング)



変換タイミング

遷移期間から外したいタイミング

RT、TX、 ϕ CDS系の遷移
 ϕ Sa、1st ADC系の遷移
 ϕ Sb、2nd ADC系の遷移
 ϕ Sc、3rd ADC系の遷移



他の信号ライン等の遷移期間から外したいタイミングのリスト

- ① ϕ CDSによるリセット電位のS/H
- ② ϕ Saによるリセット電位と信号電位の差分のS/H = 1st Cyclic ADCへの入力電位の1巡回目のAD変換(初期格納動作モードの終わり)
- ③ 1巡回目(最上位ビット)の残差増幅電位のS/H(1巡回目の演算動作モードの終わり)
- ④ 2巡回目(第2ビット)のAD変換(2巡回目の格納動作モードの終わり)
- ⋮
- ⑦ 3巡回目(第3ビット)の残差増幅電位のS/H(3巡回目の演算動作モードの終わり) = 2nd Cyclic ADCへの入力電位の4巡回目のAD変換(4巡回目の格納動作モードの終わり)
- ⑧ 4巡回目(第4ビット)の残差増幅電位のS/H(4巡回目の演算動作モードの終わり)
- ⋮
- ⑱ 9巡回目(第9ビット)の残差増幅電位のS/H(9巡回目の演算動作モードの終わり) = ϕ Scによる3rd Non-Cyclic ADCへの入力電位のS/H
- ⑲ 第10ビットのAD変換(第10ビットの逐次比較終了)
- ⑳ 第11ビットのAD変換(第11ビットの逐次比較終了)
- ㉑ 第12ビット(最下位ビット)のAD変換(第12ビットの逐次比較終了)

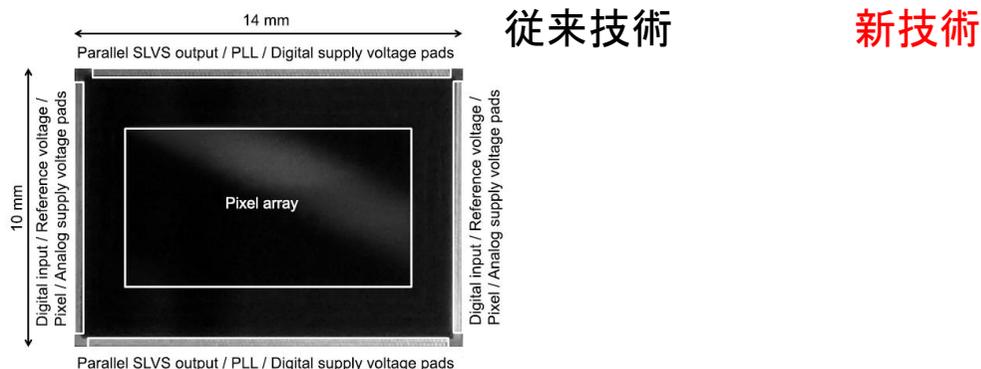
新技術の実施実績(1)

SUMMARY OF SPECIFICATIONS

Item	Values
Fabrication technology	45 nm 1P4M pixel / 65 nm 1P5M logic
Supply voltage	1.2/2.5 V (digital), 2.5/2.8 V (analog)
Image size	8.448 mm (H)×4.752 mm (V)
Chip size	14 mm (H)×10 mm (V)
Number of effective pixels	7,728 (H)×4,368 (V)
Pixel size	1.1 μm×1.1 μm (2×2-shared pixel)
Frame rate	240 fps (maximum)
Conversion time period	0.92 μs
ADC resolution	12 bit
ADC DNL	+0.76/-0.85 LSB
ADC INL	+0.90/-11.33 LSB
Conversion gain	92 μV/e ⁻
Sensitivity	0.55 V/lx·s (w/o ML & CF, CIE A-light, IR cut filter)
Full well capacity	5,700 e ⁻
Random noise	4.5 e ⁻ _{rms} (gain: 1.0) at 240 fps 3.6 e ⁻ _{rms} (gain: 4.0) at 240 fps
PRNU	<1.3% (dead-line free)
Power consumption	3.0 W at 240 fps

DESIGN OF 12-b CYCLIC-CYCLIC-SAR ADC

Reference	[3]	[11]	This work
Type	2-stage cyclic	2-stage cyclic	Cyclic-cyclic-SAR
Resolution [bit]	12	14	12
Conversion time period [μs]	1.85	1.85	0.92 (High speed)
Size (W×L) [μm]	5.6×1730	6.4×1893	4.4×920
Area [μm ²]	9688	12115	4048 (Small area)
Power consumption [μW/ADC] (Simulation)	106	119	120 (Almost same)



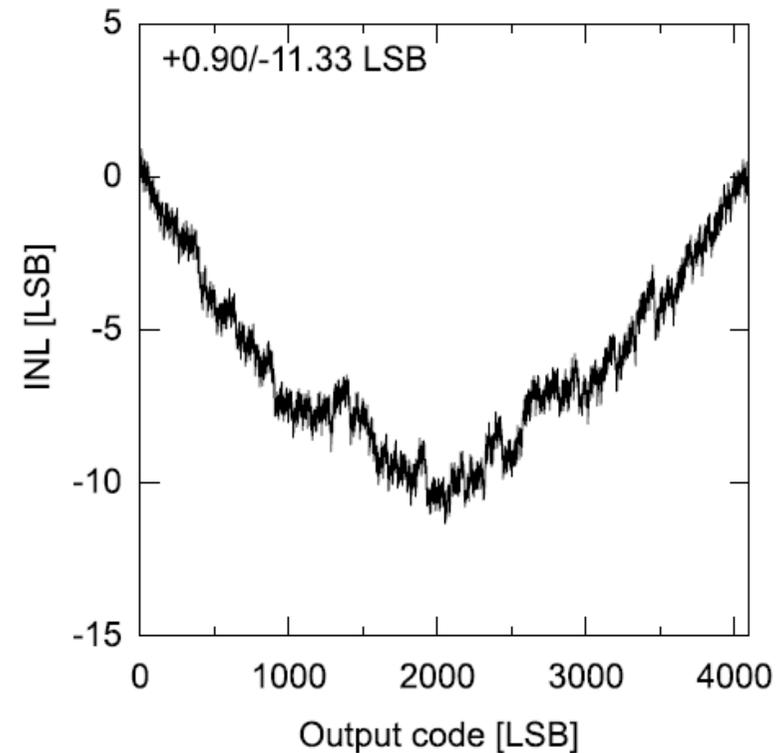
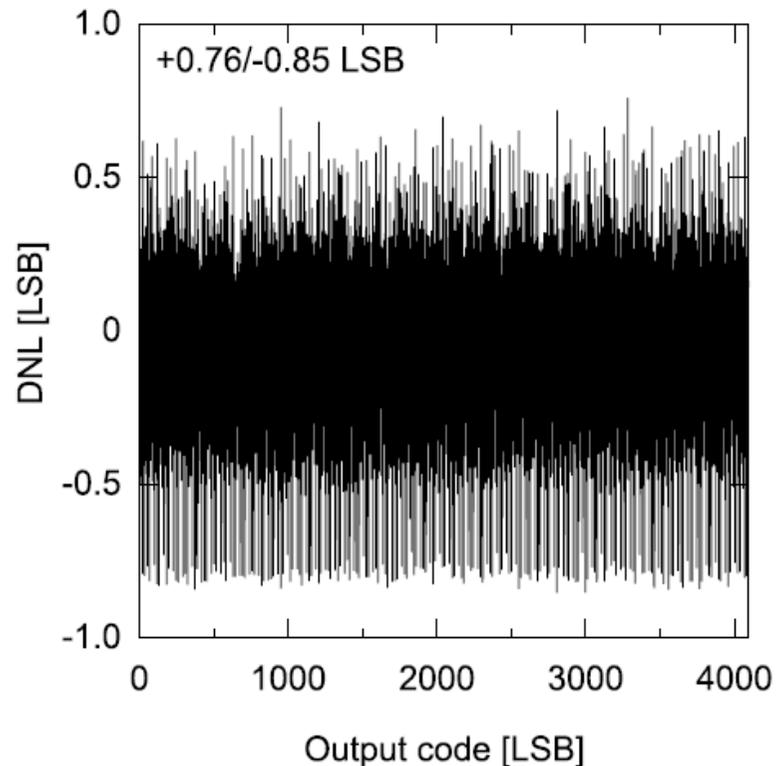
T. Arai, T. Yasue, K. Kitamura, H. Shimamoto, T. Kosugi, S. Jun, S. Aoyama, M-C. Hsu, Y. Yamashita, H. Sumi, S. Kawahito, "A 1.1μm 33Mpixel 240fps 3D-Stacked CMOS Image Sensor with 3-Stage Cyclic-Based Analog-to-Digital Converters," 2016 International Solid-State Circuits Conference (ISSCC 2016), 2016 Digest of Technical Papers pp.126-127, San Francisco, CA, USA San Francisco Marriott Marquis 2016.2.1

T. Arai, T. Yasue, K. Kitamura, H. Shimamoto, T. Kosugi, S-W. Jun, S. Aoyama, M-C. Hsu, Y. Yamashita, H. Sumi, S. Kawahito, "A 1.1-μm 33-Mpixel 240-fps 3D-Stacked CMOS Image Sensor with 3-Stage Cyclic-Cyclic-SAR Analog-to-Digital Converters," IEEE Transactions on Electron Devices Volume 64, Issue 12, Dec. 2017

新技術の実施実績(2)

DNL(微分非直線性) at 240fps

INL(積分非直線性) at 240fps



T. Arai, T. Yasue, K. Kitamura, H. Shimamoto, T. Kosugi, S. Jun, S. Aoyama, M-C. Hsu, Y. Yamashita, H. Sumi, S. Kawahito, "A 1.1 μ m 33Mpixel 240fps 3D-Stacked CMOS Image Sensor with 3-Stage Cyclic-Based Analog-to-Digital Converters," 2016 International Solid-State Circuits Conference (ISSCC 2016), 2016 Digest of Technical Papers pp.126-127, San Francisco, CA, USA San Francisco Marriott Marquis 2016.2.1

T. Arai, T. Yasue, K. Kitamura, H. Shimamoto, T. Kosugi, S-W. Jun, S. Aoyama, M-C. Hsu, Y. Yamashita, H. Sumi, S. Kawahito, "A 1.1- μ m 33-Mpixel 240-fps 3D-Stacked CMOS Image Sensor with 3-Stage Cyclic-Cyclic-SAR Analog-to-Digital Converters," IEEE Transactions on Electron Devices Volume 64, Issue 12, Dec. 2017

想定される用途

- 4K、8Kクラスの高フレームレートが必要なイメージセンサ
- 1画素から複数の出力を同時にAD変換出力したい、4K、8Kクラスの水平ライン数を持つ、高フレームレートが必要なイメージセンサ
- 4K未満で、500fps～1000fpsのようにさらに高フレームレートが必要なイメージセンサ

企業様への期待

- CMOSイメージセンサを開発中の企業様で、高精細且つ高速のイメージセンシング分野への展開をお考えの企業様には、本技術の導入が有効と思われれます。

本技術に関する知的財産権

- 発明の名称 : A/D変換器
- 特許番号 : 第6703252号
- 出願人 : 静岡大学
- 発明者 : 川人祥二、袴田正志

産学連携の経歴

川人教授

- 1999年-現在 年3社以上の企業と共同研究実施
- 2002-2011年 文部科学省知的クラスター創成事業
- 2006年-現在 大学発ベンチャー、ブルックマンテクノロジー社設立
- 2009年-2011年 A-STEP実用化挑戦タイプ
- 2014年-2016年 A-STEPシーズ育成タイプ
- 2011年-2016年 産学共創基礎基盤研究プログラム
- 2016年-2020年 文部科学省 地域イノベーション・エコシステム形成プログラム
- 2013年-2021年 COIプログラム 光創起COI-S研究拠点リサーチリーダー
- 2014年-2020年 NHK放送技術研究所と共同研究実施

お問い合わせ先

静岡大学

イノベーション社会連携推進機構

TEL 053-478-1718

FAX 053-478-1711

e-mail sangakucd@cjr.shizuoka.ac.jp