

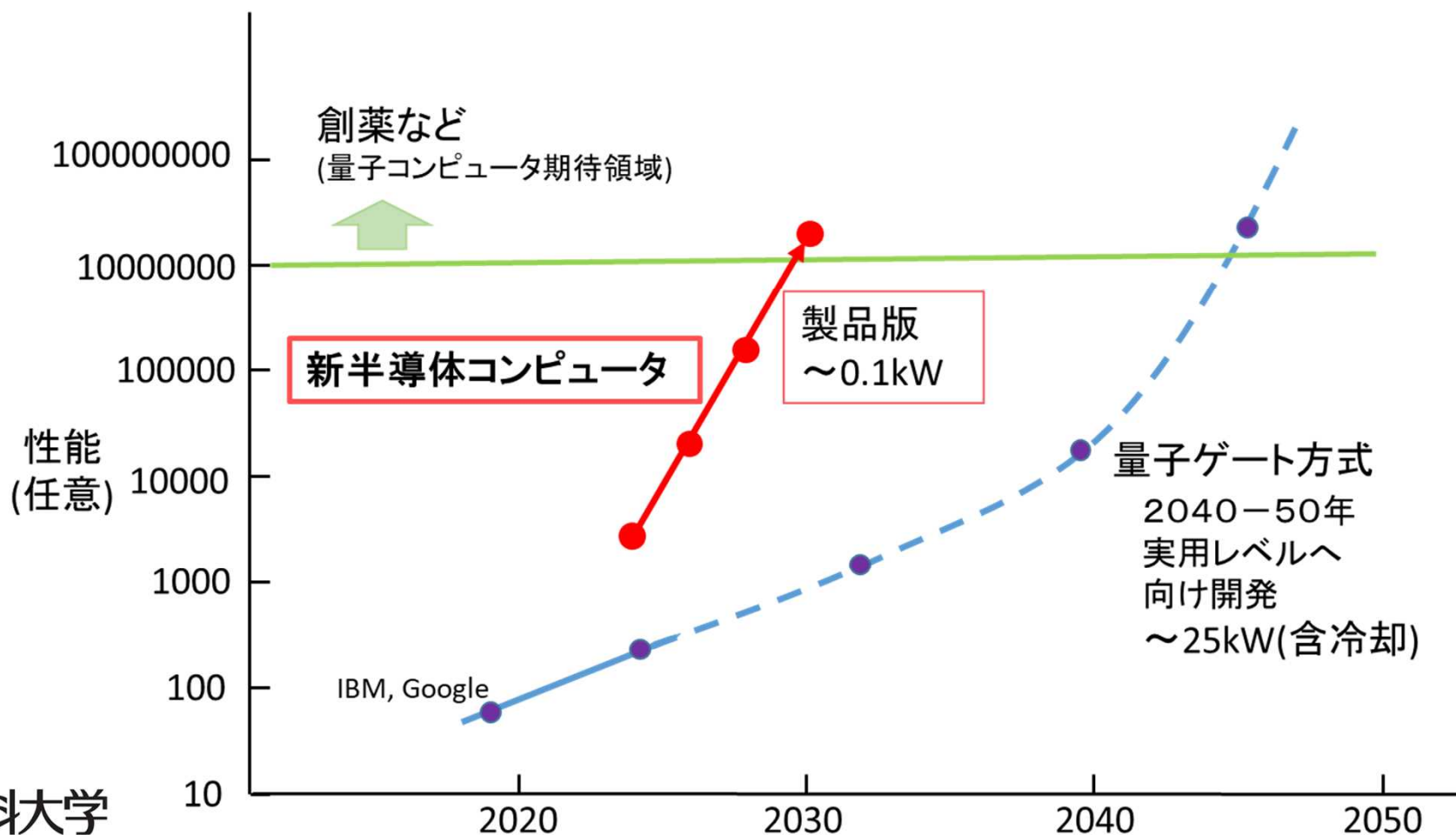
量子コンピュータと同等な計算能力 を有する半導体コンピュータ

東京理科大学 工学部 電気工学科
教授 河原 尊之

2021年10月7日

本技術で達成される計算能力 (組合せ最適化問題)

- 20～30年後実用化が期待の量子コンピュータと同等な計算能力を有する半導体方式コンピュータ



それによる応用例

- 高い計算能力を持つが、空調・大型設備や極低温は不要。

組合せ最適化問題応用分野:

- ・創薬、新素材シミュレーション
 - ・投資ポートフォリオ管理
 - ・調達、物流、送電経路探索
 - ・倉庫・施設・器材管理
 - ・スタッフ配置、生産計画最適化
 - ・多地点5/4G混載無線通信路
 - ・マーケティング最適化
- 他

本技術での将来像

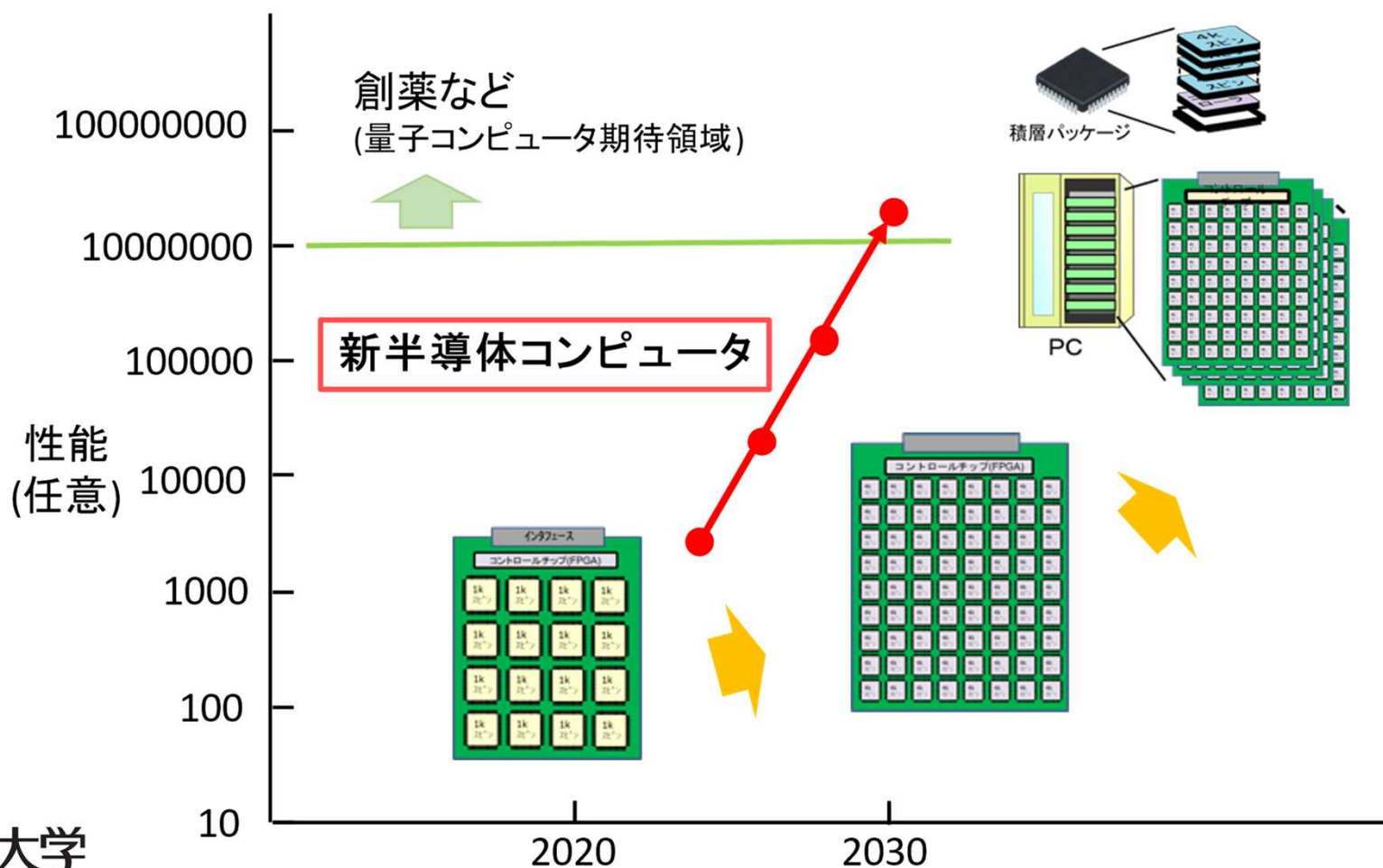


空調・大型設備不要

- ・創薬、新素材
- ・金融ポートフォリオ

計算能力のスケールビリティ

- 本技術におけるスケラブルな新コンピューティング手法での最大構成では創薬などに応用可能
- 小規模な構成では、低コストの商品化が可能



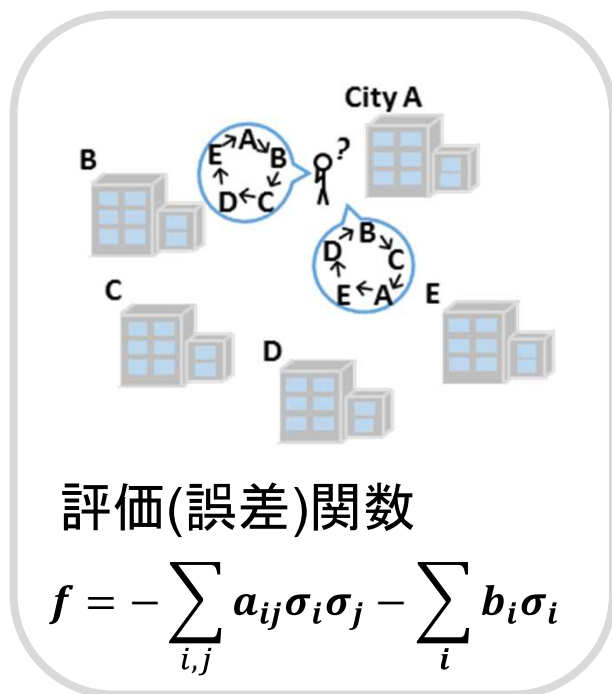
低消費電力性及び低コスト性

- 量子コンピュータと同等な計算能力を、二桁小さい電力と、3桁小さいコストで実現

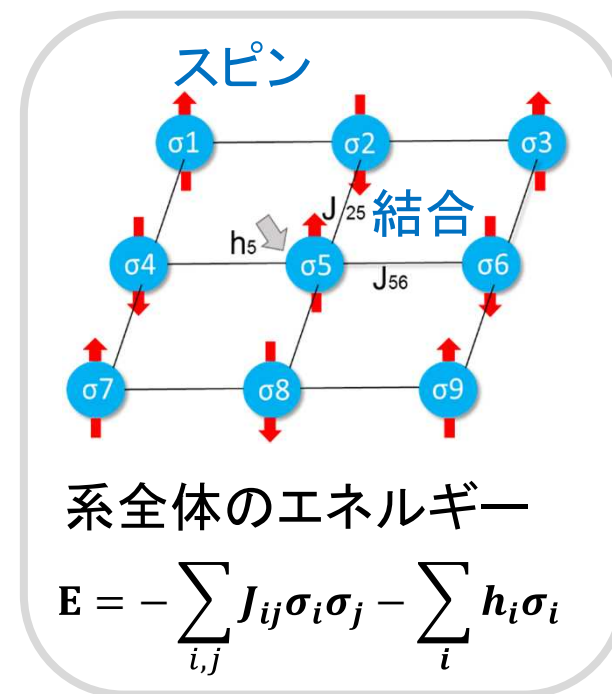
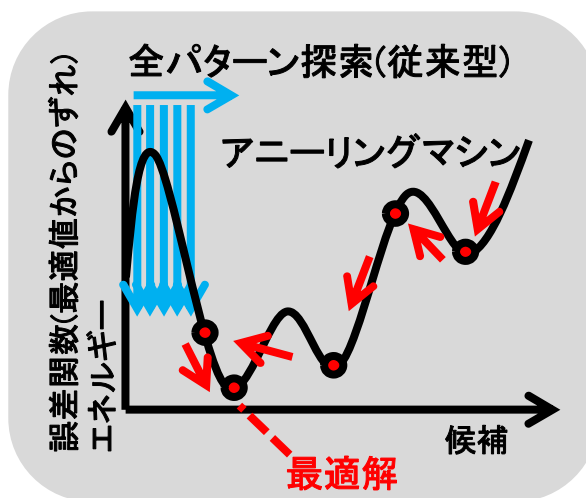
	電力比	コスト比	性能比	電力性能比
本提案	0.01以下 (0.1kW以下)	0.001以下 (冷却設備不要)	1 (@2030年)	100 (@2030年)
量子コンピュータ	1 (25kW)	1 (液体He温度 冷却設備)	1 (@2050年)	1 (@2050年)

技術背景

- 新しいコンピューティング技術が台頭
- スピンが自然に安定状態へ＝最適化問題の解



組み合わせ最適化問題

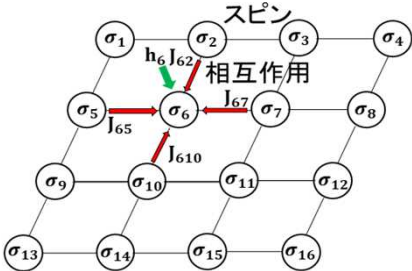
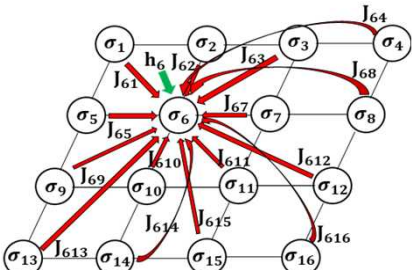


アニーリングマシン
(イジングマシン)

量子コンピュータ計算能力達成への課題

- 全結合型のLSIへの実装は本学技術で実現済
→ LSIの並列接続で、並列動作全体で更に多数のスピンを得ることが困難

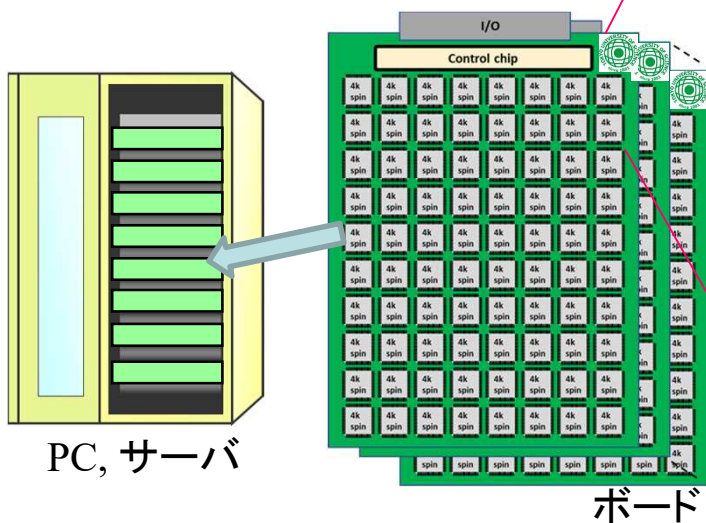
高計算能力化への方式比較

方式・モデル	結合模式図	問題規模/スピン数	汎用性、使い勝手	チップ内スピン間結合	チップ間スピン結合
(a) 隣接結合		小 (例: 33都市用、 1M個スピン必要。 大規模問題困難)	狭 (アニーリング形式変換 + 問題毎にハ個別特 殊マッピング)	容易 (隣接結合ゆえ スピン間結合少)	容易 (隣接結合ゆえ チップ間結合少)
(b) 全結合		大 (例: 33都市用、 1k個スピンで可。 大規模問題容易)	広 (アニーリング形式 変換のみ)	容易 (新アーキテクチャ により解決(2020))	→容易へ (今回の技術で解決)

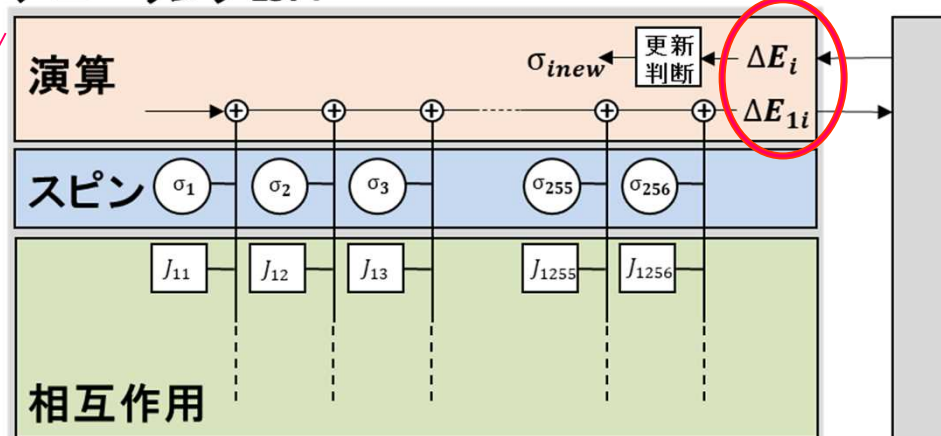
課題を解決した新方式

- 並列動作可能なスケーラブル全結合型アニーリング方式

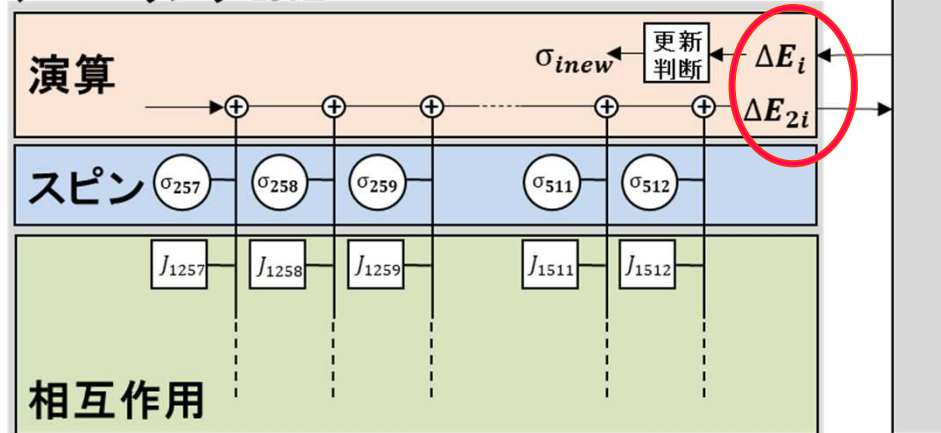
1つの情報 ΔE のやり取りのみで複数チップへ拡張できる手法。



アニーリングLSI1



アニーリングLSI2



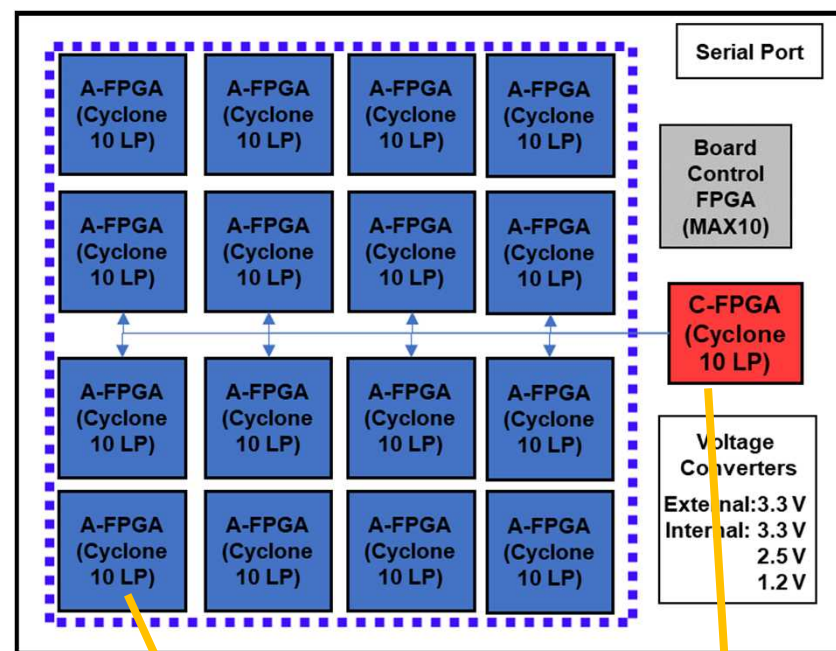
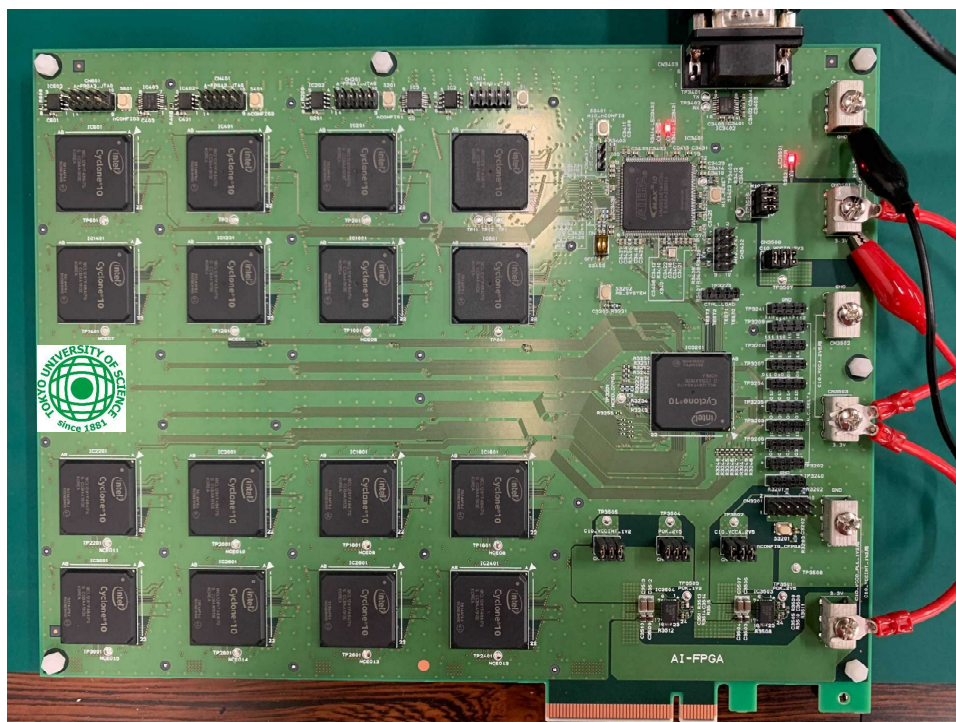
コントロールLSI

新技術の特徴・従来技術との比較

- スケーラブルな全結合型アニーリング方式半導体コンピュータを実現
 - 複数チップでひとつのシステムとして動作
- オーバーヘッドは少なく、大規模な並列処理が可能
 - 1つの情報のやり取りのみで複数LSIが並列動作
- 本技術の適用により、量子コンピュータ並みの性能を早期に実現可能

FPGAボード試作結果

- 16個のFPGAチップを並列動作させ、全体で384スピン全結合アニーリングシステムとして動作成功



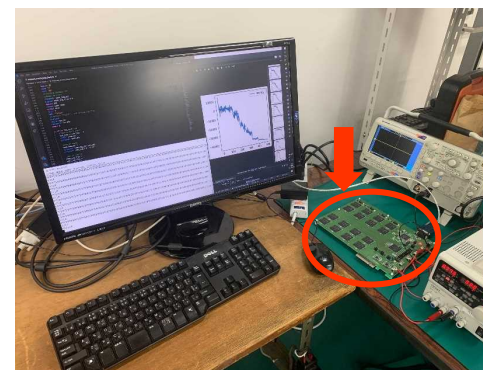
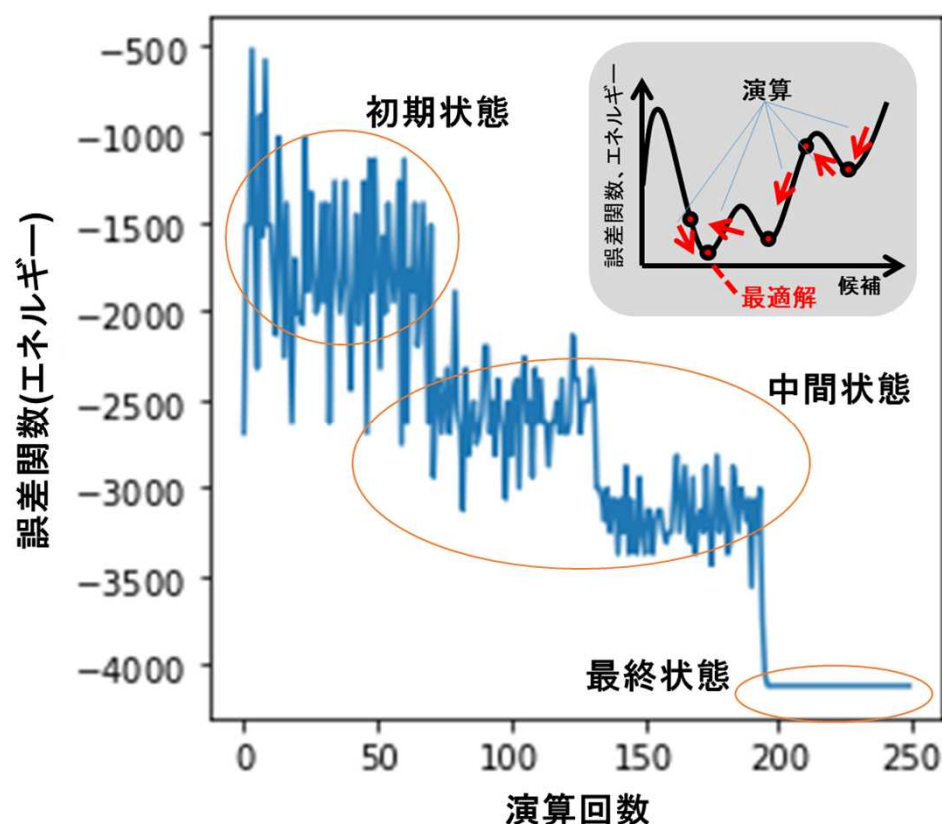
各96スピン搭載

コントロール

試作FPGAボードでの動作確認

動作確認題材：地図上の隣り合う領域を違う色で塗り分ける（4色使用）

* 全パターンを試して見つけ出す場合、1000億通りを調べることになる



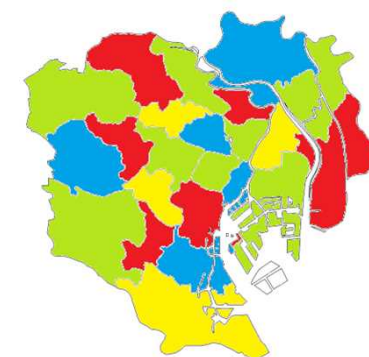
試作ボードと評価系



(a) 初期状態



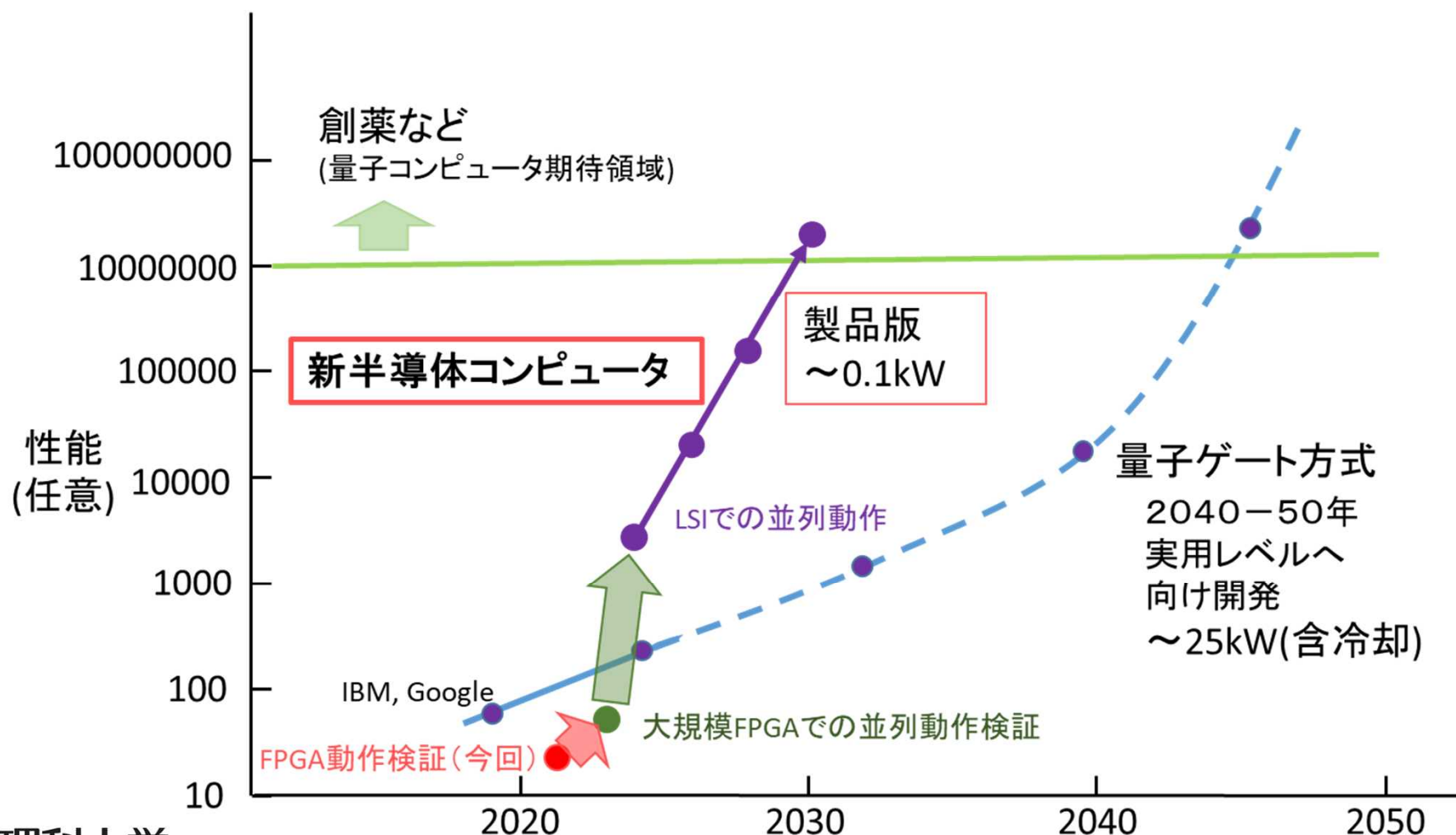
(b) 中間状態



(c) 最終状態

試作FPGAボードの位置付け

- FPGAボード試作で、並列動作の原理実証は完了
- 今後、大規模FPGA、LSIでの並列動作を推進



想定される用途

- スケーラブルな並列動作により、幅広い応用が可能。超低消費電力動作により、低環境負荷

用途
イメージ



地域配送など

投資



配送



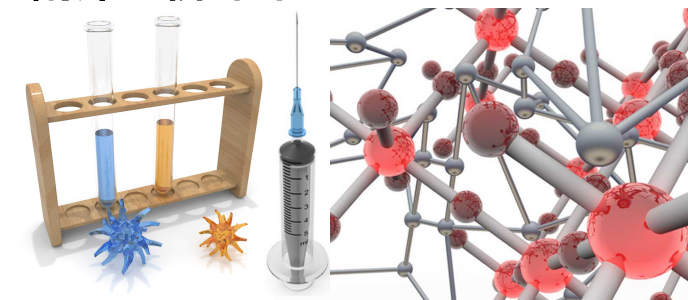
人員



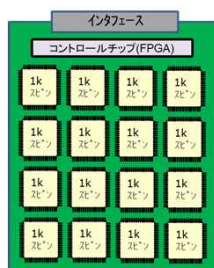
生産



創薬・新素材



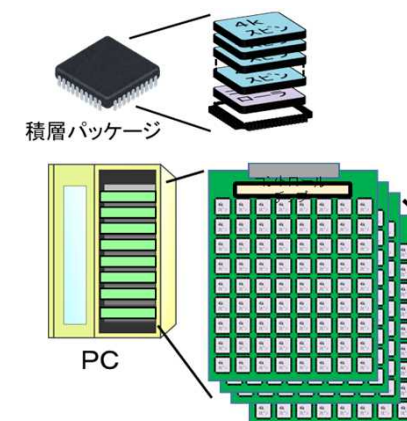
ハードウェア
イメージ



1k/チップ、16個並列



4k/チップ、64個並列



8k/チップ、1024個並列 × 8

並列度

実用化に向けた課題

- 大規模なFPGAを用いての並列動作検証
- LSIによる並列動作検証
 - 低消費電力性と超並列動作の検証
- 検証、実用化へ向けたユーザーインターフェースの開発

希望する産学連携（共同で新しい世界を）

- 半導体アニーリングハードウェアを開発中の企業と共同研究

→ 高性能半導体の開発で日本半導体の復活へ

- 応用の観点での共同研究

→ 企業の事業分野に最適な集積度、精度によるコストパフォーマンス良い製品化

本技術に関する知的財産権

- 発明の名称 : 半導体装置
- 出願番号 : 特願2021- 40326
- 出願人 : 東京理科大学
- 発明者 : 河原 尊之

お問い合わせ先

東京理科大学

研究戦略・産学連携センター

URA 波多江 博

TEL 03-5228-7431

FAX 03-5228-7442

e-mail ura@admin.tus.ac.jp